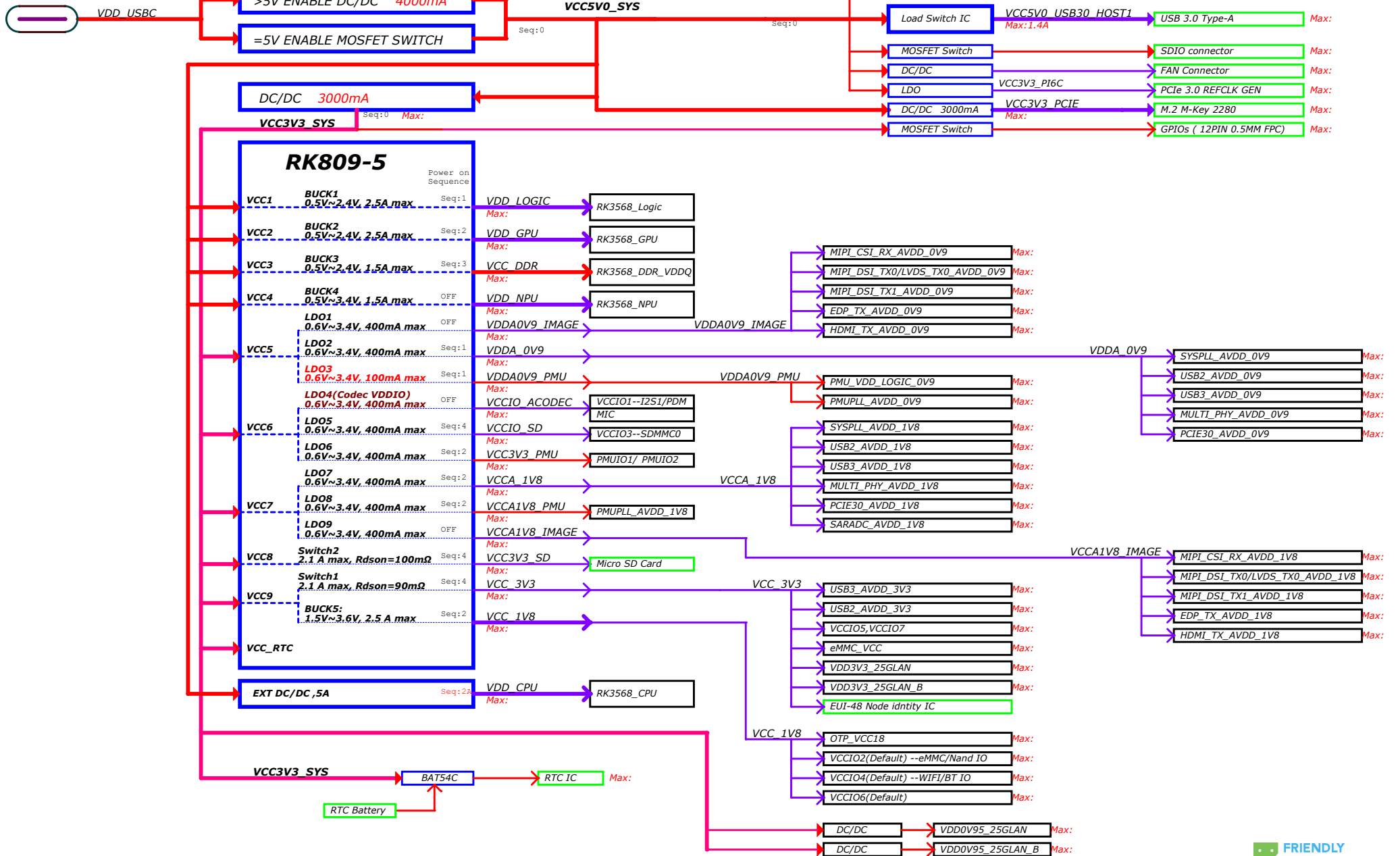
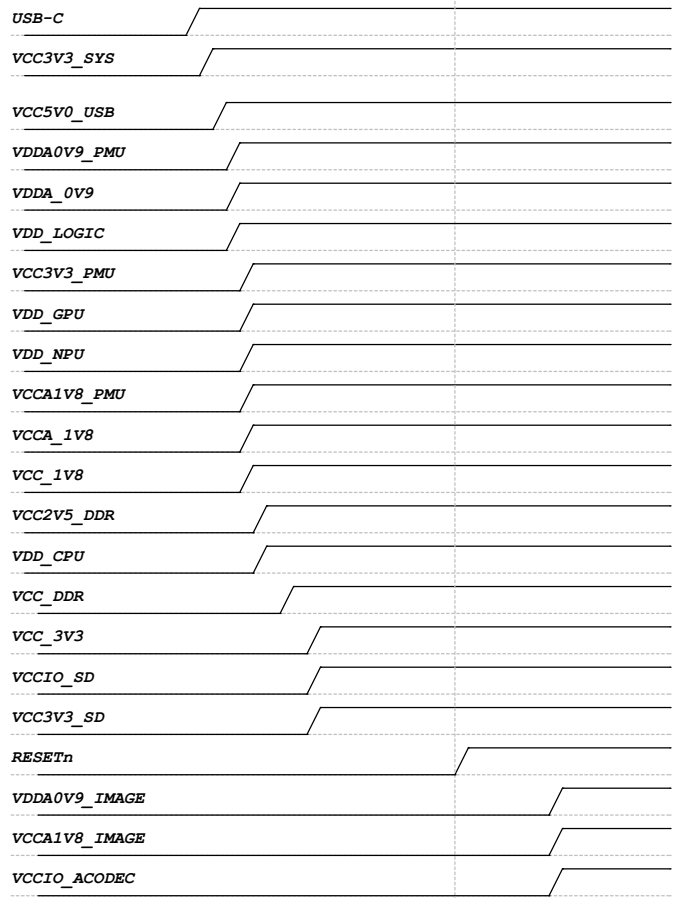


# Power Diagram

USB-C 20W MAX  
(PD 5V/9V/12V)



# Power Sequence



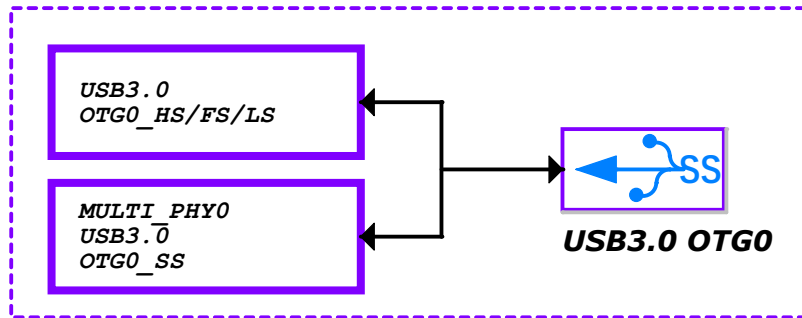
# I2C5, 7bit address  
 - 0x51, HYM8563TS, RTC IC  
 - 0x53, 24AA025E48T, EUI-48 Node Identity

Power Supply	PMIC Channel	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Sleep ON/OFF	Peak Current	Sleep Current
VCC3V3_SYS	RK809_BUCK1	2.5A	VDD_LOGIC	Slot:1	0.9V	ON	OFF	TBD	TBD
VCC3V3_SYS	RK809_BUCK2	2.5A	VDD_GPU	Slot:2	0.9V	ON	OFF	TBD	TBD
VCC3V3_SYS	RK809_BUCK3	1.5A	VCC_DDR	Slot:3	ADJ FB=0.8V	ON	ON	TBD	TBD
VCC3V3_SYS	RK809_BUCK4	1.5A	VDD_NPU	N/A	0.9V	OFF	OFF	TBD	TBD
VCC3V3_SYS	RK809_LDO1	0.4A	VDDA0V9_IMAGE	N/A	0.9V	OFF	OFF	TBD	TBD
	RK809_LDO2	0.4A	VDDA_0V9	Slot:1	0.9V	ON	OFF	TBD	TBD
	RK809_LDO3	0.1A	VDDA0V9_PMU	Slot:1	0.9V	ON	ON	TBD	TBD
VCC3V3_SYS	RK809_LDO4	0.4A	VCCIO_ACODEC	N/A	3.3V	OFF	OFF	TBD	TBD
	RK809_LDO5	0.4A	VCCIO_SD	Slot:4	3.3V	ON	OFF	TBD	TBD
	RK809_LDO6	0.4A	VCC3V3_PMU	Slot:2	3.3V	ON	ON	TBD	TBD
VCC3V3_SYS	RK809_LDO7	0.4A	VCCA_1V8	Slot:2	1.8V	ON	OFF	TBD	TBD
	RK809_LDO8	0.4A	VCCA1V8_PMU	Slot:2	1.8V	ON	ON	TBD	TBD
	RK809_LDO9	0.4A	VCCA1V8_IMAGE	N/A	1.8V	OFF	OFF	TBD	TBD
VCC3V3_SYS	RK809_SW2	2.1A	VCC3V3_SD	Slot:4	3.3V	ON	OFF	TBD	TBD
VCC3V3_SYS	100mohm RK809_SW1	2.1A	VCC_3V3	Slot:4	3.3V	ON	OFF	TBD	TBD
	90mohm RK809_BUCK5	2.5A	VCC_1V8	Slot:2	1.8V	ON	OFF	TBD	TBD
	RK809_RESETEn			Slot:4+5					
VDD_USBC	EXT BUCK	4.0A	VCC3V3_SYS	Slot:0	3.3V	ON	ON	TBD	TBD
VDD_USBC	EXT BUCK	4.0A	VCC3V3_SYSP	Slot:0	3.3V	ON	ON	TBD	TBD
VCC3V3_SYS	EXT BUCK	6.0A	VDD_CPU	Slot:2A	1.025V	ON	OFF	TBD	TBD

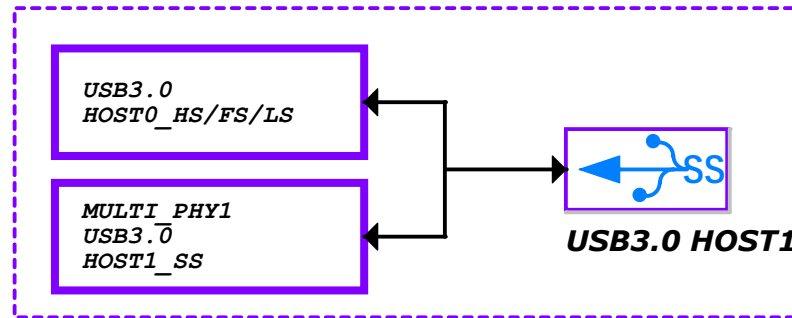
## IO Power Domain Map

IO Domain	Pin Num	Support IO Voltage		Actual assigned IO Domain Voltage			Notes
		3.3V	1.8V	Supply Power Net Name	Power Source	Voltage	
PMUIO1	Pin Y20	✓	✗	VCC3V3_PMU	VCC3V3_PMU	3.3V	
PMUIO2	Pin W19	✓	✓	VCC3V3_PMU	VCC3V3_PMU	3.3V	
VCCIO1	Pin H17	✓	✓	VCCIO_ACODEC	VCCIO_ACODEC	3.3V	
VCCIO2	Pin H18	✓	✓	VCCIO_FLASH	VCC_1V8	1.8V	PIN "FLASH_VOL_SEL" must be logic High if VCCIO_FLASH=3.3V, FLASH_VOL_SEL must be logic low
VCCIO3	Pin L22	✓	✓	VCCIO_SD	VCCIO_SD	3.3V	
VCCIO4	Pin J21	✓	✓	VCCIO4	VCC_1V8	1.8V	
VCCIO5	Pin V10 Pin V11	✓	✓	VCCIO5	VCC_3V3	3.3V	
VCCIO6	Pin R9 Pin U9	✓	✓	VCCIO6	VCC_1V8	1.8V	
VCCIO7	Pin V12	✓	✓	VCCIO7	VCC_3V3	3.3V	

## USB3.0 OTG0



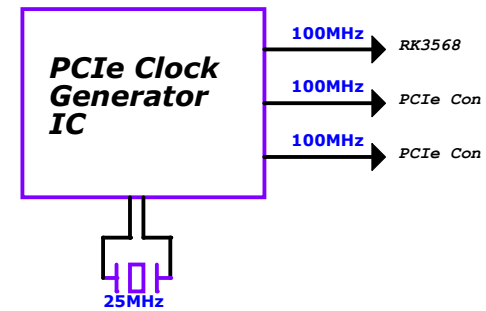
## USB3.0 HOST1



## PCIe3.0 PHY

<b>Option1</b>	<b>PCIe3.0 x2Lane</b>	PCIe30_REFCLK (RC/EP:input)	PCIe30_TX0 PCIe30_RX0 PCIe30_TX1 PCIe30_RX1	PCIe30X2_CLKREQn PCIe30X2_WAKEn PCIe30X2_PERSTn PCIe30X2_BUTTONRSTn	<b>RC or EP</b>
<b>Option2</b>	<b>PCIe3.0 x1Lane + PCIe3.0 x1Lane</b>	PCIe30_REFCLK (RC:input)	PCIe30_TX0 PCIe30_RX0	PCIe30X2_CLKREQn PCIe30X2_WAKEn PCIe30X2_PERSTn PCIe30X2_BUTTONRSTn	<b>Only RC</b>
			PCIe30_TX1 PCIe30_RX1	PCIe30X1_CLKREQn PCIe30X1_WAKEn PCIe30X1_PERSTn PCIe30X1_BUTTONRSTn	<b>Only RC</b>

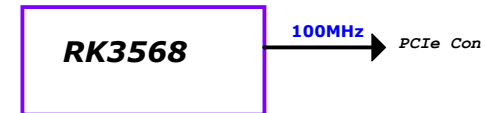
## PCIe REFCLK



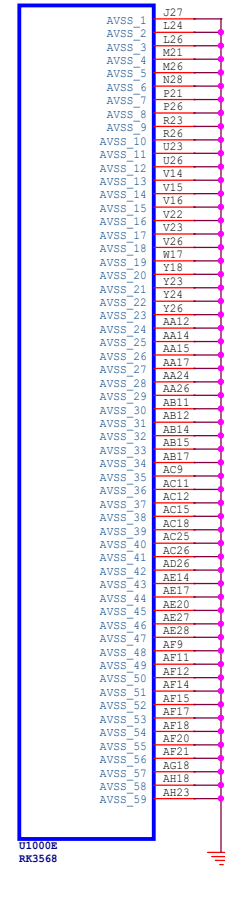
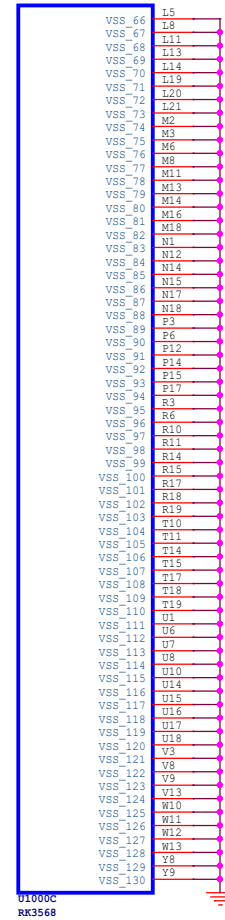
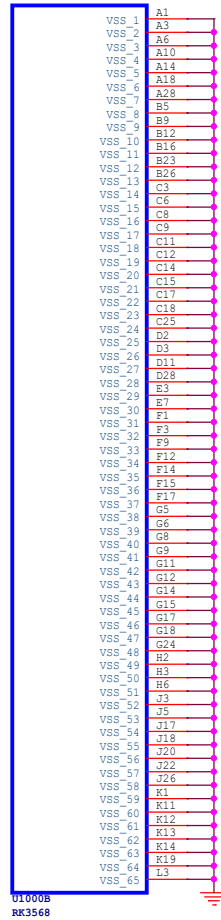
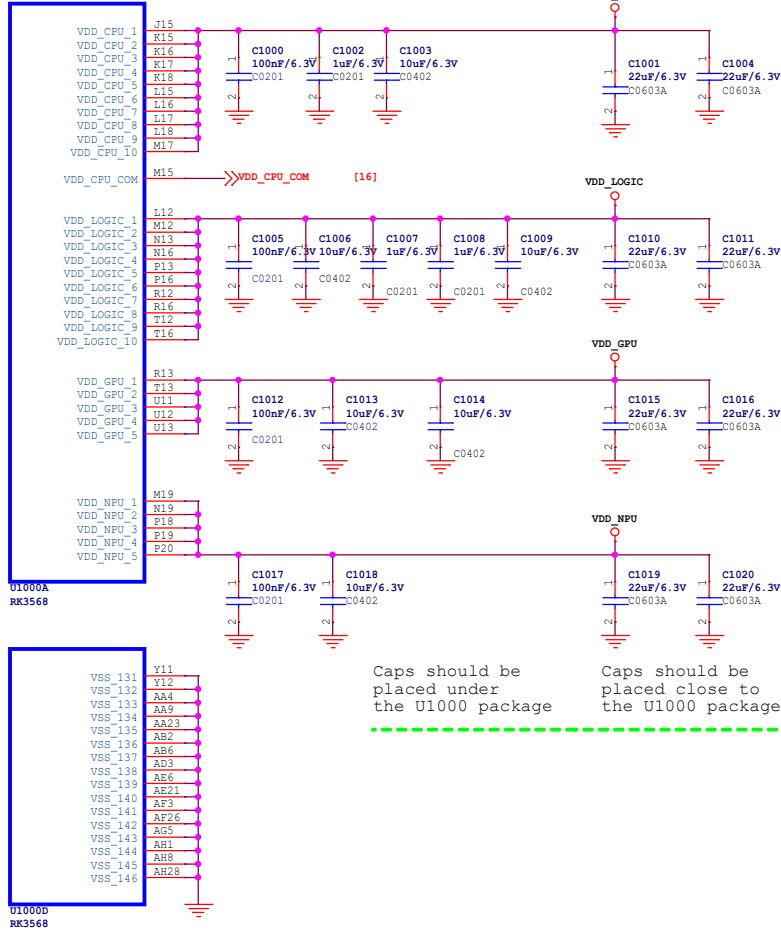
## PCIe2.0 PHY

<b>MULTI_PHY2</b>	<b>PCIe2.0 x1Lane</b>	PCIe20_REFCLK (RC:output)	PCIe20_TX PCIe20_RX	PCIe20_CLKREQn PCIe20_WAKEn PCIe20_PERSTn PCIe20_BUTTONRSTn	<b>Only RC</b>
-------------------	---------------------------	------------------------------	------------------------	--	----------------

## PCIe2.0 REFCLK



# RK3568\_ABCDE (Power&Gnd)



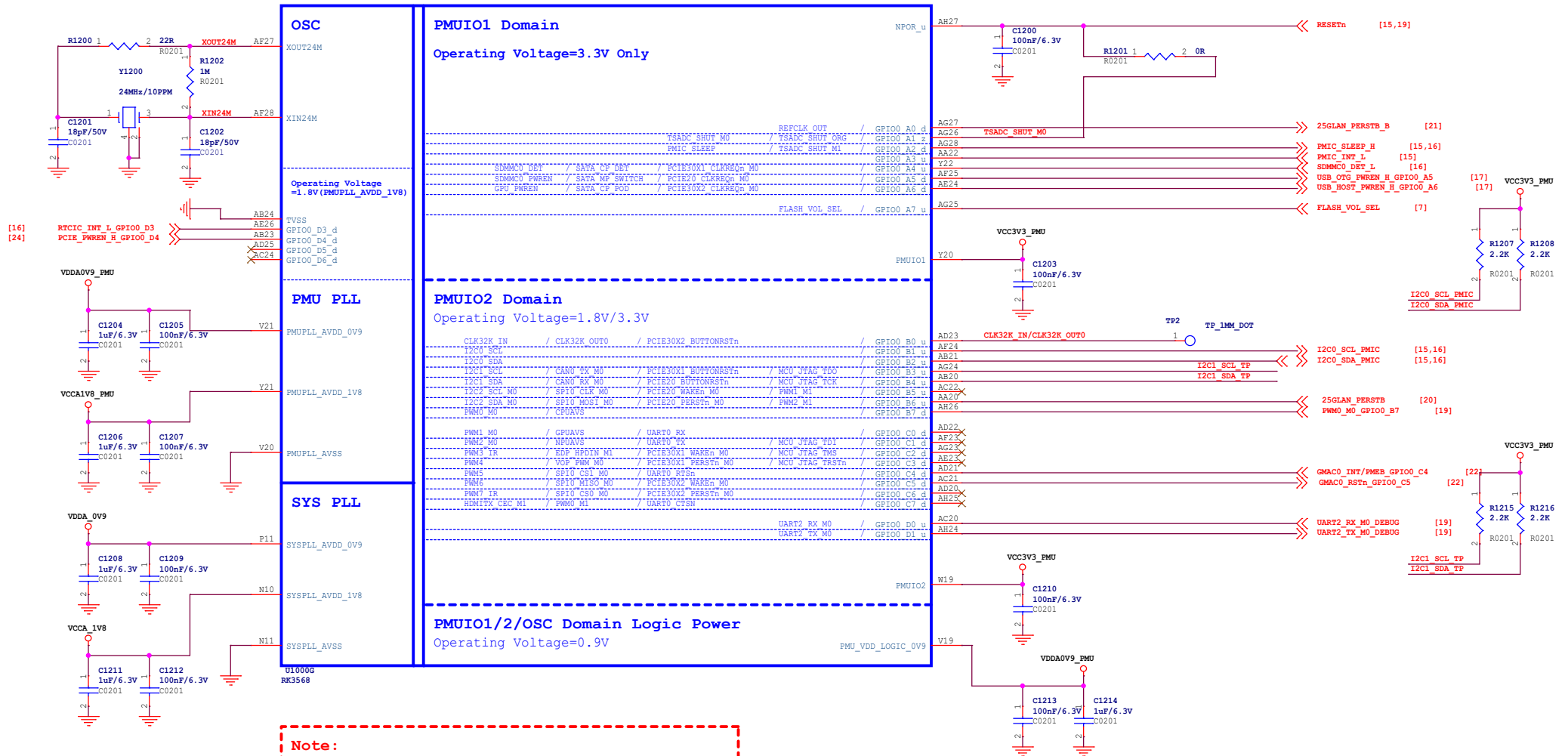
# RK3568\_F (DDR PHY)

	DDR4	LPDDR4	DDR3	LPDDR3
(14) LPDDR4 DQ0_A	DDR DQ0 A	DDR4 DQ0 A	DDR3 DQ0	LPDDR3 DQ0
(14) LPDDR4 DQ1_A	DDR DQ1 A	DDR4 DQ1 A	DDR3 DQ1	LPDDR3 DQ1
(14) LPDDR4 DQ2_A	DDR DQ2 A	DDR4 DQ2 A	DDR3 DQ2	LPDDR3 DQ2
(14) LPDDR4 DQ3_A	DDR DQ3 A	DDR4 DQ3 A	DDR3 DQ3	LPDDR3 DQ3
(14) LPDDR4 DQ4_A	DDR DQ4 A	DDR4 DQ4 A	DDR3 DQ4	LPDDR3 DQ4
(14) LPDDR4 DQ5_A	DDR DQ5 A	DDR4 DQ5 A	DDR3 DQ5	LPDDR3 DQ5
(14) LPDDR4 DQ6_A	DDR DQ6 A	DDR4 DQ6 A	DDR3 DQ6	LPDDR3 DQ6
(14) LPDDR4 DQ7_A	DDR DQ7 A	DDR4 DQ7 A	DDR3 DQ7	LPDDR3 DQ7
(14) LPDDR4 DM0_A	DDR DM0 A	DDR4 DM0 A	DDR3 DM0	LPDDR3 DM0
(14) LPDDR4 DQS0P_A	DDR DQS0P A	DDR4 DQS0P A	DDR3 DQS0P	LPDDR3 DQS0P
(14) LPDDR4 DQS0N_A	DDR DQS0N A	DDR4 DQS0N A	DDR3 DQS0N	LPDDR3 DQS0N
(14) LPDDR4 DQ8_A	DDR DQ8 A	DDR4 DQ8 A	DDR3 DQ8	LPDDR3 DQ8
(14) LPDDR4 DQ9_A	DDR DQ9 A	DDR4 DQ9 A	DDR3 DQ9	LPDDR3 DQ9
(14) LPDDR4 DQ10_A	DDR DQ10 A	DDR4 DQ10 A	DDR3 DQ10	LPDDR3 DQ10
(14) LPDDR4 DQ11_A	DDR DQ11 A	DDR4 DQ11 A	DDR3 DQ11	LPDDR3 DQ11
(14) LPDDR4 DQ12_A	DDR DQ12 A	DDR4 DQ12 A	DDR3 DQ12	LPDDR3 DQ12
(14) LPDDR4 DQ13_A	DDR DQ13 A	DDR4 DQ13 A	DDR3 DQ13	LPDDR3 DQ13
(14) LPDDR4 DQ14_A	DDR DQ14 A	DDR4 DQ14 A	DDR3 DQ14	LPDDR3 DQ14
(14) LPDDR4 DQ15_A	DDR DQ15 A	DDR4 DQ15 A	DDR3 DQ15	LPDDR3 DQ15
(14) LPDDR4 DM1_A	DDR DM1 A	DDR4 DM1 A	DDR3 DM1	LPDDR3 DM1
(14) LPDDR4 DQS1P_A	DDR DQS1P A	DDR4 DQS1P A	DDR3 DQS1P	LPDDR3 DQS1P
(14) LPDDR4 DQS1N_A	DDR DQS1N A	DDR4 DQS1N A	DDR3 DQS1N	LPDDR3 DQS1N
(14) LPDDR4 DQ0_B	DDR DQ0 B	DDR4 DQ0 B	DDR3 DQ0	LPDDR3 DQ0
(14) LPDDR4 DQ1_B	DDR DQ1 B	DDR4 DQ1 B	DDR3 DQ1	LPDDR3 DQ1
(14) LPDDR4 DQ2_B	DDR DQ2 B	DDR4 DQ2 B	DDR3 DQ2	LPDDR3 DQ2
(14) LPDDR4 DQ3_B	DDR DQ3 B	DDR4 DQ3 B	DDR3 DQ3	LPDDR3 DQ3
(14) LPDDR4 DQ4_B	DDR DQ4 B	DDR4 DQ4 B	DDR3 DQ4	LPDDR3 DQ4
(14) LPDDR4 DQ5_B	DDR DQ5 B	DDR4 DQ5 B	DDR3 DQ5	LPDDR3 DQ5
(14) LPDDR4 DQ6_B	DDR DQ6 B	DDR4 DQ6 B	DDR3 DQ6	LPDDR3 DQ6
(14) LPDDR4 DQ7_B	DDR DQ7 B	DDR4 DQ7 B	DDR3 DQ7	LPDDR3 DQ7
(14) LPDDR4 DM0_B	DDR DM0 B	DDR4 DM0 B	DDR3 DM0	LPDDR3 DM0
(14) LPDDR4 DQS0P_B	DDR DQS0P B	DDR4 DQS0P B	DDR3 DQS0P	LPDDR3 DQS0P
(14) LPDDR4 DQS0N_B	DDR DQS0N B	DDR4 DQS0N B	DDR3 DQS0N	LPDDR3 DQS0N
(14) LPDDR4 DQ8_B	DDR DQ8 B	DDR4 DQ8 B	DDR3 DQ8	LPDDR3 DQ8
(14) LPDDR4 DQ9_B	DDR DQ9 B	DDR4 DQ9 B	DDR3 DQ9	LPDDR3 DQ9
(14) LPDDR4 DQ10_B	DDR DQ10 B	DDR4 DQ10 B	DDR3 DQ10	LPDDR3 DQ10
(14) LPDDR4 DQ11_B	DDR DQ11 B	DDR4 DQ11 B	DDR3 DQ11	LPDDR3 DQ11
(14) LPDDR4 DQ12_B	DDR DQ12 B	DDR4 DQ12 B	DDR3 DQ12	LPDDR3 DQ12
(14) LPDDR4 DQ13_B	DDR DQ13 B	DDR4 DQ13 B	DDR3 DQ13	LPDDR3 DQ13
(14) LPDDR4 DQ14_B	DDR DQ14 B	DDR4 DQ14 B	DDR3 DQ14	LPDDR3 DQ14
(14) LPDDR4 DQ15_B	DDR DQ15 B	DDR4 DQ15 B	DDR3 DQ15	LPDDR3 DQ15
(14) LPDDR4 DM1_B	DDR DM1 B	DDR4 DM1 B	DDR3 DM1	LPDDR3 DM1
(14) LPDDR4 DQS1P_B	DDR DQS1P B	DDR4 DQS1P B	DDR3 DQS1P	LPDDR3 DQS1P
(14) LPDDR4 DQS1N_B	DDR DQS1N B	DDR4 DQS1N B	DDR3 DQS1N	LPDDR3 DQS1N
(14) M4	DDR ECC DQ0	DDR4 ECC DQ0	DDR3 ECC DQ0	
(14) M5	DDR ECC DQ1	DDR4 ECC DQ1	DDR3 ECC DQ1	
(14) M6	DDR ECC DQ2	DDR4 ECC DQ2	DDR3 ECC DQ2	
(14) M7	DDR ECC DQ3	DDR4 ECC DQ3	DDR3 ECC DQ3	
(14) M8	DDR ECC DQ4	DDR4 ECC DQ4	DDR3 ECC DQ4	
(14) M9	DDR ECC DQ5	DDR4 ECC DQ5	DDR3 ECC DQ5	
(14) M10	DDR ECC DQ6	DDR4 ECC DQ6	DDR3 ECC DQ6	
(14) M11	DDR ECC DQ7	DDR4 ECC DQ7	DDR3 ECC DQ7	
(14) P5	DDR ECC DM	DDR4 ECC DM	DDR3 ECC DM	
(14) P7	DDR ECC DQ8 P	DDR4 ECC DQ8 P	DDR3 ECC DQ8 P	
(14) P1	DDR ECC DQ8 N	DDR4 ECC DQ8 N	DDR3 ECC DQ8 N	

U1000F  
RK3568

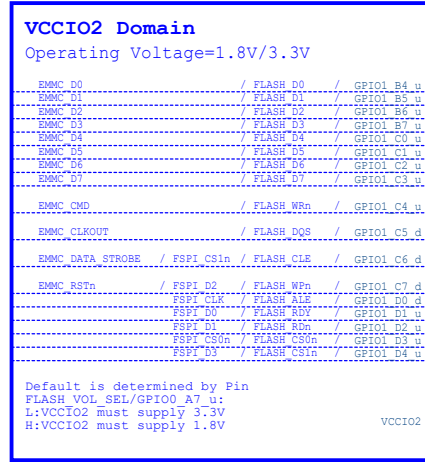
	DDR4	LPDDR4	DDR3	LPDDR3
DDR4 A0	DDR4 DQ16 A	LPDDR4 DQ16 A	DDR3 DQ16	LPDDR3 DQ16
DDR4 A1	DDR4 DQ17 A	LPDDR4 DQ17 A	DDR3 DQ17	LPDDR3 DQ17
DDR4 A2	DDR4 DQ18 A	LPDDR4 DQ18 A	DDR3 DQ18	LPDDR3 DQ18
DDR4 A3	DDR4 DQ19 A	LPDDR4 DQ19 A	DDR3 DQ19	LPDDR3 DQ19
DDR4 A4	DDR4 DQ20 A	LPDDR4 DQ20 A	DDR3 DQ20	LPDDR3 DQ20
DDR4 A5	DDR4 DQ21 A	LPDDR4 DQ21 A	DDR3 DQ21	LPDDR3 DQ21
DDR4 A6	DDR4 DQ22 A	LPDDR4 DQ22 A	DDR3 DQ22	LPDDR3 DQ22
DDR4 A7	DDR4 DQ23 A	LPDDR4 DQ23 A	DDR3 DQ23	LPDDR3 DQ23
DDR4 A8	DDR4 DQ24 A	LPDDR4 DQ24 A	DDR3 DQ24	LPDDR3 DQ24
DDR4 A9	DDR4 DQ25 A	LPDDR4 DQ25 A	DDR3 DQ25	LPDDR3 DQ25
DDR4 A10	DDR4 DQ26 A	LPDDR4 DQ26 A	DDR3 DQ26	LPDDR3 DQ26
DDR4 A11	DDR4 DQ27 A	LPDDR4 DQ27 A	DDR3 DQ27	LPDDR3 DQ27
DDR4 A12	DDR4 DQ28 A	LPDDR4 DQ28 A	DDR3 DQ28	LPDDR3 DQ28
DDR4 A13	DDR4 DQ29 A	LPDDR4 DQ29 A	DDR3 DQ29	LPDDR3 DQ29
DDR4 A14	DDR4 DQ30 A	LPDDR4 DQ30 A	DDR3 DQ30	LPDDR3 DQ30
DDR4 A15	DDR4 DQ31 A	LPDDR4 DQ31 A	DDR3 DQ31	LPDDR3 DQ31
DDR4 A16	DDR4 DQ32 A	LPDDR4 DQ32 A	DDR3 DQ32	LPDDR3 DQ32
DDR4 A17	DDR4 DQ33 A	LPDDR4 DQ33 A	DDR3 DQ33	LPDDR3 DQ33
DDR4 A18	DDR4 DQ34 A	LPDDR4 DQ34 A	DDR3 DQ34	LPDDR3 DQ34
DDR4 A19	DDR4 DQ35 A	LPDDR4 DQ35 A	DDR3 DQ35	LPDDR3 DQ35
DDR4 A20	DDR4 DQ36 A	LPDDR4 DQ36 A	DDR3 DQ36	LPDDR3 DQ36
DDR4 A21	DDR4 DQ37 A	LPDDR4 DQ37 A	DDR3 DQ37	LPDDR3 DQ37
DDR4 A22	DDR4 DQ38 A	LPDDR4 DQ38 A	DDR3 DQ38	LPDDR3 DQ38
DDR4 A23	DDR4 DQ39 A	LPDDR4 DQ39 A	DDR3 DQ39	LPDDR3 DQ39
DDR4 A24	DDR4 DQ40 A	LPDDR4 DQ40 A	DDR3 DQ40	LPDDR3 DQ40
DDR4 A25	DDR4 DQ41 A	LPDDR4 DQ41 A	DDR3 DQ41	LPDDR3 DQ41
DDR4 A26	DDR4 DQ42 A	LPDDR4 DQ42 A	DDR3 DQ42	LPDDR3 DQ42
DDR4 A27	DDR4 DQ43 A	LPDDR4 DQ43 A	DDR3 DQ43	LPDDR3 DQ43
DDR4 A28	DDR4 DQ44 A	LPDDR4 DQ44 A	DDR3 DQ44	LPDDR3 DQ44
DDR4 A29	DDR4 DQ45 A	LPDDR4 DQ45 A	DDR3 DQ45	LPDDR3 DQ45
DDR4 A30	DDR4 DQ46 A	LPDDR4 DQ46 A	DDR3 DQ46	LPDDR3 DQ46
DDR4 A31	DDR4 DQ47 A	LPDDR4 DQ47 A	DDR3 DQ47	LPDDR3 DQ47
DDR4 A32	DDR4 DQ48 A	LPDDR4 DQ48 A	DDR3 DQ48	LPDDR3 DQ48
DDR4 A33	DDR4 DQ49 A	LPDDR4 DQ49 A	DDR3 DQ49	LPDDR3 DQ49
DDR4 A34	DDR4 DQ50 A	LPDDR4 DQ50 A	DDR3 DQ50	LPDDR3 DQ50
DDR4 A35	DDR4 DQ51 A	LPDDR4 DQ51 A	DDR3 DQ51	LPDDR3 DQ51
DDR4 A36	DDR4 DQ52 A	LPDDR4 DQ52 A	DDR3 DQ52	LPDDR3 DQ52
DDR4 A37	DDR4 DQ53 A	LPDDR4 DQ53 A	DDR3 DQ53	LPDDR3 DQ53
DDR4 A38	DDR4 DQ54 A	LPDDR4 DQ54 A	DDR3 DQ54	LPDDR3 DQ54
DDR4 A39	DDR4 DQ55 A	LPDDR4 DQ55 A	DDR3 DQ55	LPDDR3 DQ55
DDR4 A40	DDR4 DQ56 A	LPDDR4 DQ56 A	DDR3 DQ56	LPDDR3 DQ56
DDR4 A41	DDR4 DQ57 A	LPDDR4 DQ57 A	DDR3 DQ57	LPDDR3 DQ57
DDR4 A42	DDR4 DQ58 A	LPDDR4 DQ58 A	DDR3 DQ58	LPDDR3 DQ58
DDR4 A43	DDR4 DQ59 A	LPDDR4 DQ59 A	DDR3 DQ59	LPDDR3 DQ59
DDR4 A44	DDR4 DQ60 A	LPDDR4 DQ60 A	DDR3 DQ60	LPDDR3 DQ60
DDR4 A45	DDR4 DQ61 A	LPDDR4 DQ61 A	DDR3 DQ61	LPDDR3 DQ61
DDR4 A46	DDR4 DQ62 A	LPDDR4 DQ62 A	DDR3 DQ62	LPDDR3 DQ62
DDR4 A47	DDR4 DQ63 A	LPDDR4 DQ63 A	DDR3 DQ63	LPDDR3 DQ63
DDR4 A48	DDR4 DQ64 A	LPDDR4 DQ64 A	DDR3 DQ64	LPDDR3 DQ64
DDR4 A49	DDR4 DQ65 A	LPDDR4 DQ65 A	DDR3 DQ65	LPDDR3 DQ65
DDR4 A50	DDR4 DQ66 A	LPDDR4 DQ66 A	DDR3 DQ66	LPDDR3 DQ66
DDR4 A51	DDR4 DQ67 A	LPDDR4 DQ67 A	DDR3 DQ67	LPDDR3 DQ67
DDR4 A52	DDR4 DQ68 A	LPDDR4 DQ68 A	DDR3 DQ68	LPDDR3 DQ68
DDR4 A53	DDR4 DQ69 A	LPDDR4 DQ69 A	DDR3 DQ69	LPDDR3 DQ69
DDR4 A54	DDR4 DQ70 A	LPDDR4 DQ70 A	DDR3 DQ70	LPDDR3 DQ70
DDR4 A55	DDR4 DQ71 A	LPDDR4 DQ71 A	DDR3 DQ71	LPDDR3 DQ71
DDR4 A56	DDR4 DQ72 A	LPDDR4 DQ72 A	DDR3 DQ72	LPDDR3 DQ72
DDR4 A57	DDR4 DQ73 A	LPDDR4 DQ73 A	DDR3 DQ73	LPDDR3 DQ73
DDR4 A58	DDR4 DQ74 A	LPDDR4 DQ74 A	DDR3 DQ74	LPDDR3 DQ74
DDR4 A59	DDR4 DQ75 A	LPDDR4 DQ75 A	DDR3 DQ75	LPDDR3 DQ75
DDR4 A60	DDR4 DQ76 A	LPDDR4 DQ76 A	DDR3 DQ76	LPDDR3 DQ76
DDR4 A61	DDR4 DQ77 A	LPDDR4 DQ77 A	DDR3 DQ77	LPDDR3 DQ77
DDR4 A62	DDR4 DQ78 A	LPDDR4 DQ78 A	DDR3 DQ78	LPDDR3 DQ78
DDR4 A63	DDR4 DQ79 A	LPDDR4 DQ79 A	DDR3 DQ79	LPDDR3 DQ79
DDR4 A64	DDR4 DQ80 A	LPDDR4 DQ80 A	DDR3 DQ80	LPDDR3 DQ80
DDR4 A65	DDR4 DQ81 A	LPDDR4 DQ81 A	DDR3 DQ81	LPDDR3 DQ81
DDR4 A66	DDR4 DQ82 A	LPDDR4 DQ82 A	DDR3 DQ82	LPDDR3 DQ82
DDR4 A67	DDR4 DQ83 A	LPDDR4 DQ83 A	DDR3 DQ83	LPDDR3 DQ83
DDR4 A68	DDR4 DQ84 A	LPDDR4 DQ84 A	DDR3 DQ84	LPDDR3 DQ84
DDR4 A69	DDR4 DQ85 A	LPDDR4 DQ85 A	DDR3 DQ85	LPDDR3 DQ85
DDR4 A70	DDR4 DQ86 A	LPDDR4 DQ86 A	DDR3 DQ86	LPDDR3 DQ86
DDR4 A71	DDR4 DQ87 A	LPDDR4 DQ87 A	DDR3 DQ87	LPDDR3 DQ87
DDR4 A72	DDR4 DQ88 A	LPDDR4 DQ88 A	DDR3 DQ88	LPDDR3 DQ88
DDR4 A73	DDR4 DQ89 A	LPDDR4 DQ89 A	DDR3 DQ89	LPDDR3 DQ89
DDR4 A74	DDR4 DQ90 A	LPDDR4 DQ90 A	DDR3 DQ90	LPDDR3 DQ90
DDR4 A75	DDR4 DQ91 A	LPDDR4 DQ91 A	DDR3 DQ91	LPDDR3 DQ91
DDR4 A76	DDR4 DQ92 A	LPDDR4 DQ92 A	DDR3 DQ92	LPDDR3 DQ92
DDR4 A77	DDR4 DQ93 A	LPDDR4 DQ93 A	DDR3 DQ93	LPDDR3 DQ93
DDR4 A78	DDR4 DQ94 A	LPDDR4 DQ94 A	DDR3 DQ94	LPDDR3 DQ94
DDR4 A79	DDR4 DQ95 A	LPDDR4 DQ95 A	DDR3 DQ95	LPDDR3 DQ95
DDR4 A80	DDR4 DQ96 A	LPDDR4 DQ96 A	DDR3 DQ96	LPDDR3 DQ96
DDR4 A81	DDR4 DQ97 A	LPDDR4 DQ97 A	DDR3 DQ97	LPDDR3 DQ97
DDR4 A82	DDR4 DQ98 A	LPDDR4 DQ98 A	DDR3 DQ98	LPDDR3 DQ98
DDR4 A83	DDR4 DQ99 A	LPDDR4 DQ99 A	DDR3 DQ99	LPDDR3 DQ99
DDR4 A84	DDR4 DQ100 A	LPDDR4 DQ100 A	DDR3 DQ100	LPDDR3 DQ100
DDR4 A85	DDR4 DQ101 A	LPDDR4 DQ101 A	DDR3 DQ101	LPDDR3 DQ101
DDR4 A86	DDR4 DQ102 A	LPDDR4 DQ102 A	DDR3 DQ102	LPDDR3 DQ102
DDR4 A87	DDR4 DQ103 A	LPDDR4 DQ103 A	DDR3 DQ103	LPDDR3 DQ103
DDR4 A88	DDR4 DQ104 A	LPDDR4 DQ104 A	DDR3 DQ104	LPDDR3 DQ104
DDR4 A89	DDR4 DQ105 A	LPDDR4 DQ105 A	DDR3 DQ105	LPDDR3 DQ105
DDR4 A90	DDR4 DQ106 A	LPDDR4 DQ106 A	DDR3 DQ106	LPDDR3 DQ106
DDR4 A91	DDR4 DQ107 A	LPDDR4 DQ107 A	DDR3 DQ107	LPDDR3 DQ107
DDR4 A92	DDR4 DQ108 A	LPDDR4 DQ108 A	DDR3 DQ108	LPDDR3 DQ108
DDR4 A93	DDR4 DQ109 A	LPDDR4 DQ109 A	DDR3 DQ109	LPDDR3 DQ109
DDR4 A94	DDR4 DQ110 A	LPDDR4 DQ110 A	DDR3 DQ110	LPDDR3 DQ110
DDR4 A95	DDR4 DQ111 A	LPDDR4 DQ111 A	DDR3 DQ111	LPDDR3 DQ111
DDR4 A96	DDR4 DQ112 A	LPDDR4 DQ112 A	DDR3 DQ112	LPDDR3 DQ112
DDR4 A97	DDR4 DQ113 A	LPDDR4 DQ113 A	DDR3 DQ113	LPDDR3 DQ113
DDR4 A98	DDR4 DQ114 A	LPDDR4 DQ114 A	DDR3 DQ114	LPDDR3 DQ114
DDR4 A99	DDR4 DQ115 A	LPDDR4 DQ115 A	DDR3 DQ115	LPDDR3 DQ115
DDR4 A100	DDR4 DQ116 A	LPDDR4 DQ116 A	DDR3 DQ116	LPDDR3 DQ116
DDR4 A101	DDR4 DQ117 A	LPDDR4 DQ117 A	DDR3 DQ117	LPDDR3 DQ117
DDR4 A102	DDR4 DQ118 A	LPDDR4 DQ118 A	DDR3 DQ118	LPDDR3 DQ118
DDR4 A103	DDR4 DQ119 A	LPDDR4 DQ119 A	DDR3 DQ119	LPDDR3 DQ119
DDR4 A104	DDR4 DQ120 A	LPDDR4 DQ120 A	DDR3 DQ120	LPDDR3 DQ120
DDR4 A105	DDR4 DQ121 A	LPDDR4 DQ121 A	DDR3 DQ121	LPDDR3 DQ121
DDR4 A106	DDR4 DQ122 A	LPDDR4 DQ122 A	DDR3 DQ122	LPDDR3 DQ122
DDR4 A107	DDR4 DQ123 A	LPDDR4 DQ123 A	DDR3 DQ123	LPDDR3 DQ123
DDR4 A108	DDR4 DQ124 A	LPDDR4 DQ124 A	DDR3 DQ124	LPDDR3 DQ124
DDR4 A109	DDR4 DQ125 A	LPDDR4 DQ125 A	DDR3 DQ125	LPDDR3 DQ125
DDR4 A110	DDR4 DQ126 A	LPDDR4 DQ126 A	DDR3 DQ126	LPDDR3 DQ126
DDR4 A111	DDR4 DQ127 A	LPDDR4 DQ127 A	DDR3 DQ127	LPDDR3 DQ127
DDR4 A112	DDR4 DQ128 A	LPDDR4 DQ128 A	DDR3 DQ128	LPDDR3 DQ128
DDR4 A113	DDR4 DQ129 A	LPDDR4 DQ129 A	DDR3 DQ129	LPDDR3 DQ129
DDR4 A114	DDR4 DQ130 A	LPDDR4 DQ130 A	DDR3 DQ130	LPDDR3 DQ130
DDR4 A115	DDR4 DQ131 A	LPDDR4 DQ131 A	DDR3 DQ131	LPDDR3 DQ131
DDR4 A116	DDR4 DQ132 A	LPDDR4 DQ132 A	DDR3 DQ132	LPDDR3 DQ132
DDR4 A				

# RK3568\_G (OSC/PLL/PMUIO1/2)



**Note:**  
Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package

# RK3568\_I (VCCIO2 Domain)

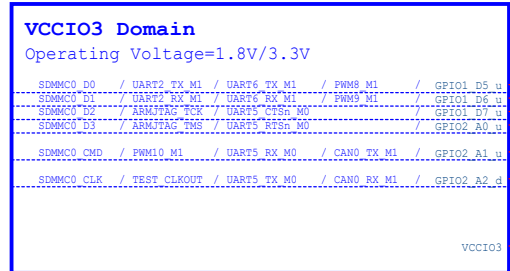


U10001  
RK3568



Note:  
FLASH VOL\_SEL state decided  
to VCCIO2 domain IO driven by default  
Logic=L: 3.3V IO driven  
Logic=H: 1.8V IO driven

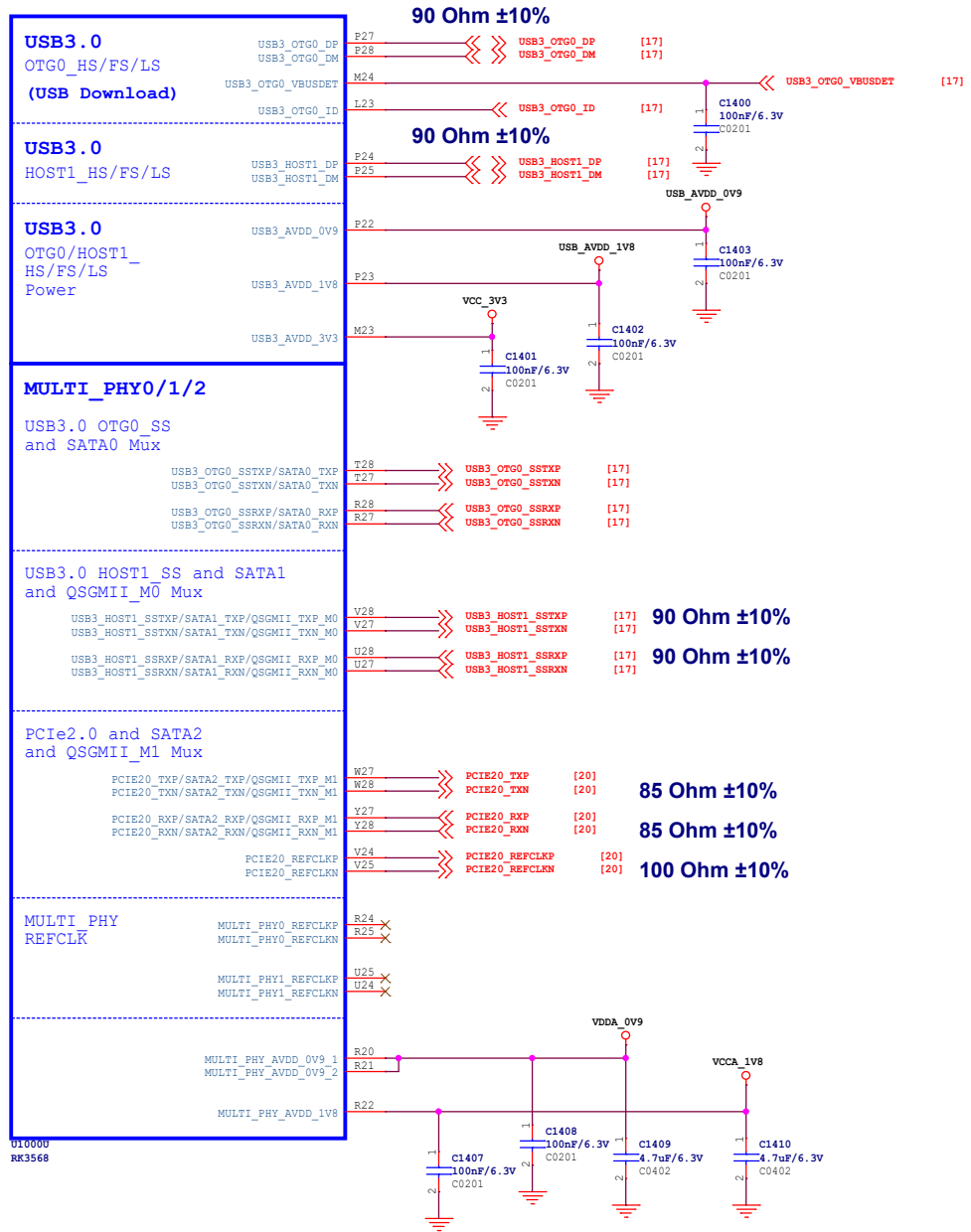
# RK3568\_J (VCCIO3 Domain)



U10003  
RK3568

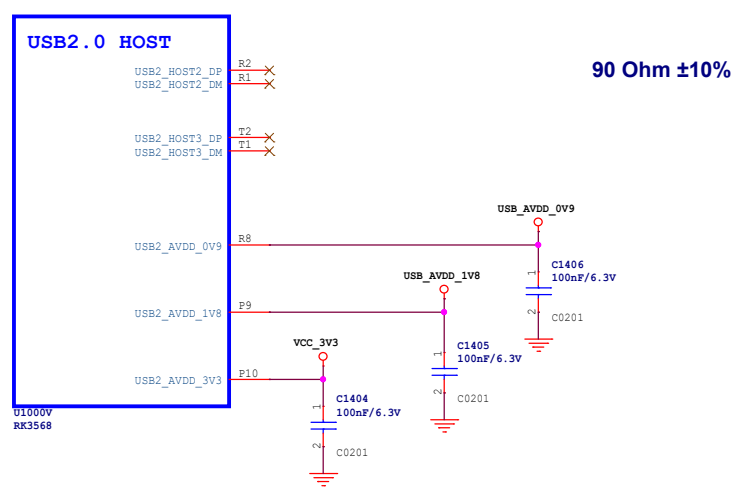
**Note:**  
Caps of between dashed green lines and U1000  
should be placed under the U1000 package

# RK3568\_U (USB3.0/SATA/QSGMII/PCIE2.0 x1)

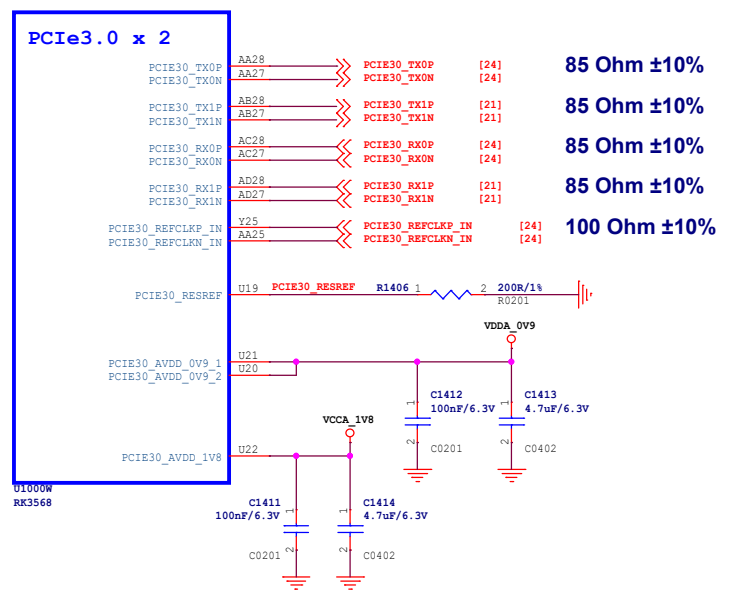


**Note:**  
Caps of between dashed green lines and U1000 should be placed under the U1000 package. Other caps should be placed close to the U1000 package

# RK3568\_V (USB2.0 HOST)



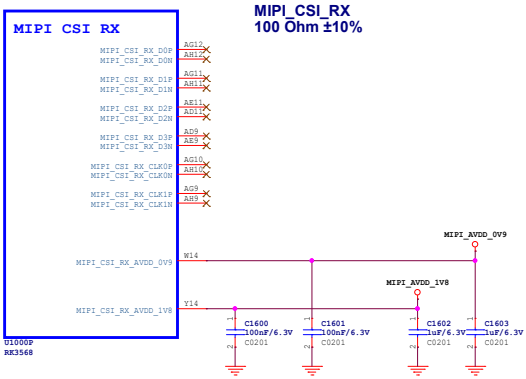
# RK3568\_W (PCIE3.0 x2)





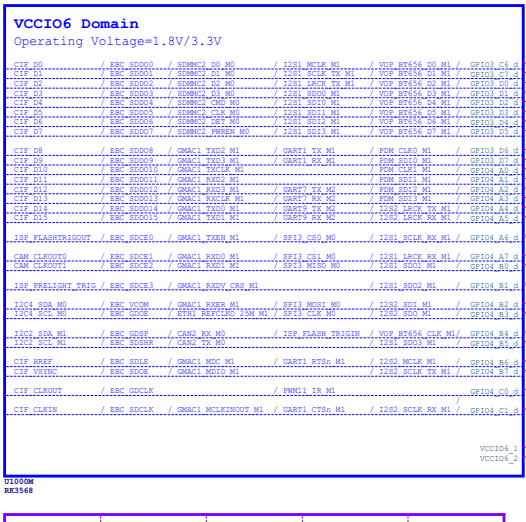


# RK3568\_P(MIPI\_CSI\_RX)



Option1	Sensor1 x4Lane	MIPI_CSI_RX_D0-3 MIPI_CSI_RX_CLK0
Option2	Sensor1 x2Lane + Sensor2 x2Lane	MIPI_CSI_RX_D0-1 MIPI_CSI_RX_CLK0 MIPI_CSI_RX_D2-3 MIPI_CSI_RX_CLK1

# RK3568\_M(VCCIO6 Domain)

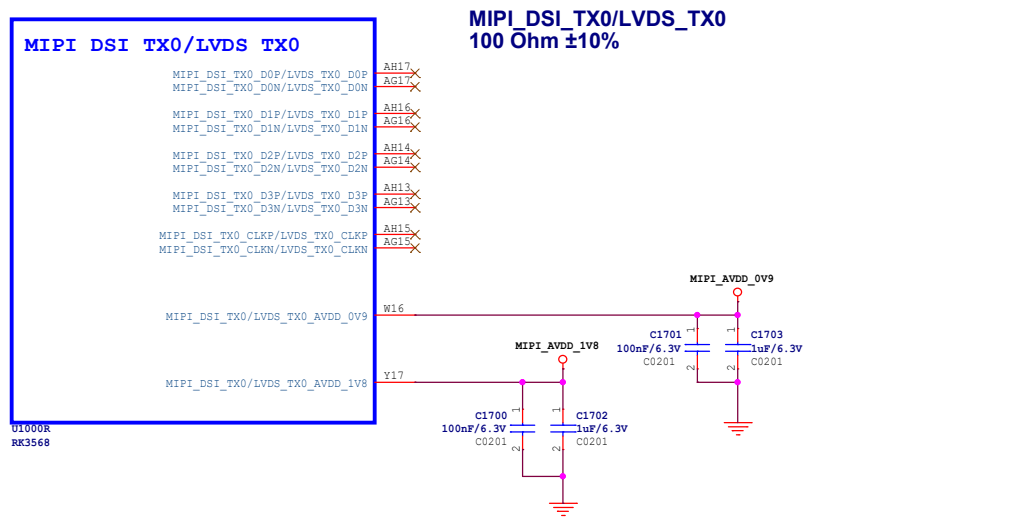


Mode	16bit	12bit	10bit	8bit
CIF_D0	D0	--	--	--
CIF_D1	D1	--	--	--
CIF_D2	D2	--	--	--
CIF_D3	D3	--	--	--
CIF_D4	D4	D0	--	--
CIF_D5	D5	D1	--	--
CIF_D6	D6	D2	D0	--
CIF_D7	D7	D3	D1	--
CIF_D8	D8	D4	D2	D0
CIF_D9	D9	D5	D3	D1
CIF_D10	D10	D6	D4	D2
CIF_D11	D11	D7	D5	D3
CIF_D12	D12	D8	D6	D4
CIF_D13	D13	D9	D7	D5
CIF_D14	D14	D10	D8	D6
CIF_D15	D15	D11	D9	D7

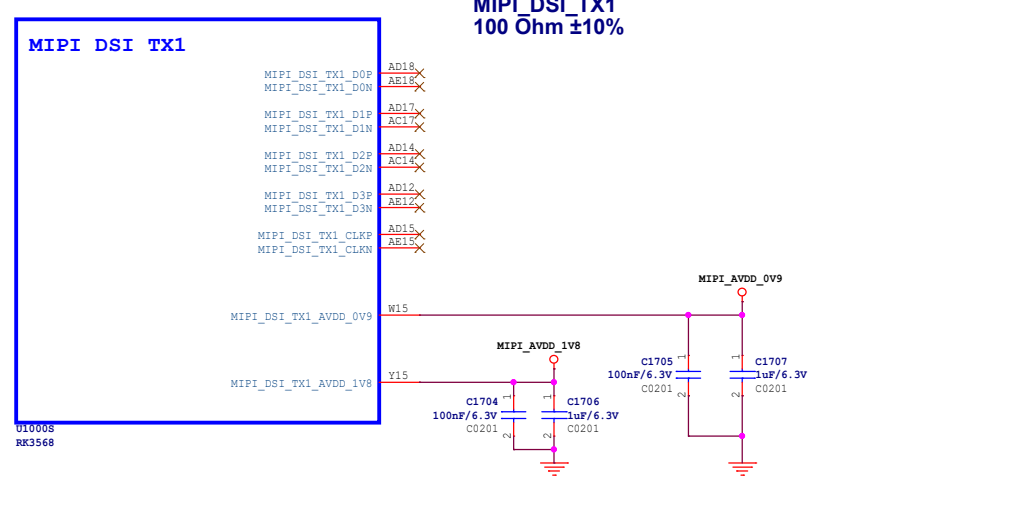
Support BF601 YCbCr 422 8bit input  
Support BF656 YCbCr 422 8bit input  
Support RAW 8/10/12bit input  
Support BT1120 YCbCr 422 8/10/12/16bit input, single/dual-edge sampling  
Support 2/4 mixed BF656/BT1120 YCbCr 422 8bit input

**Note:**  
Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package

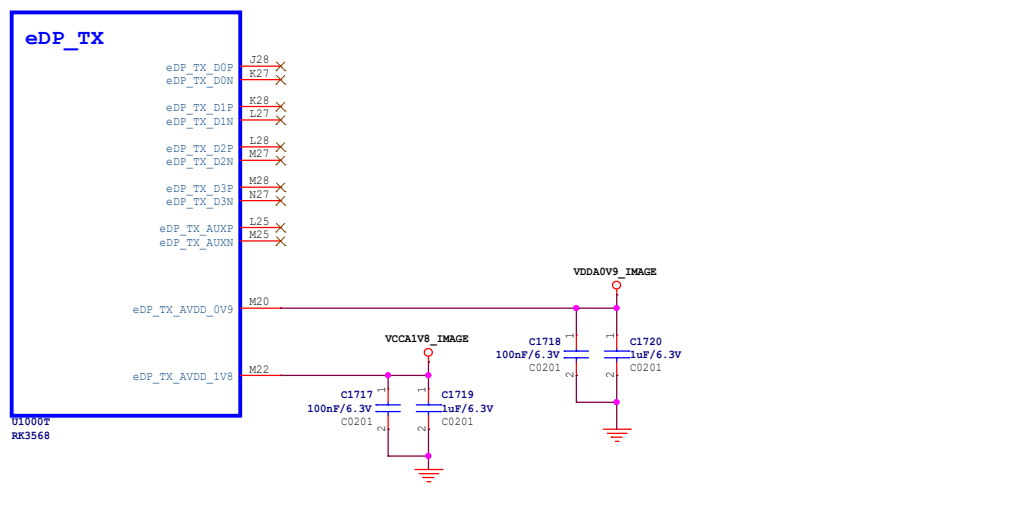
# RK3568\_R (MIPI\_DSI\_TX0/LVDS\_TX0)



# RK3568\_S (MIPI\_DSI\_TX1)

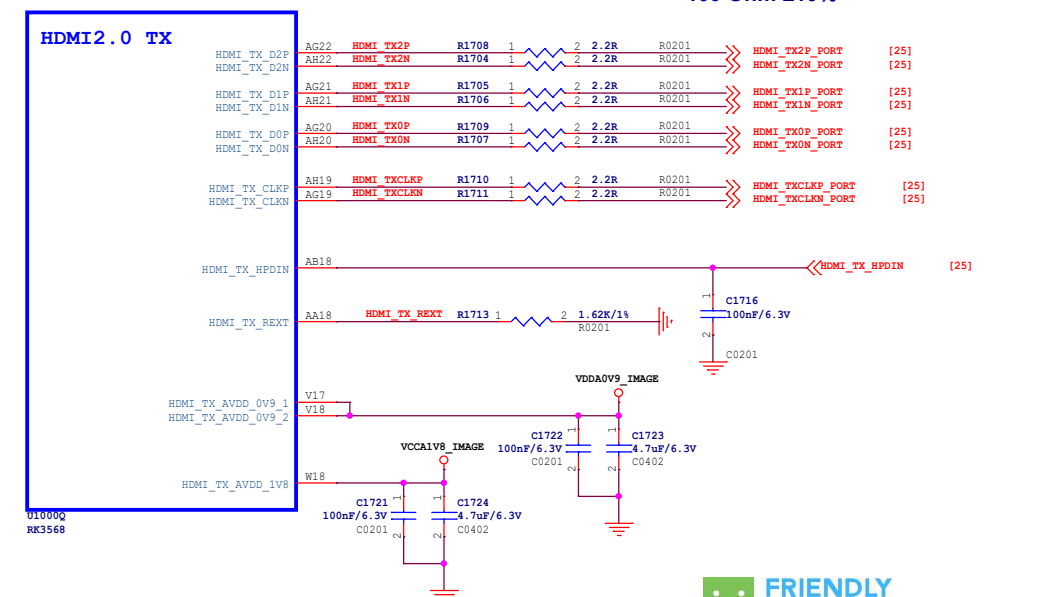


# RK3568\_T (eDP TX)



**Note:**  
Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package

# RK3568\_Q (HDMI2.0 TX)



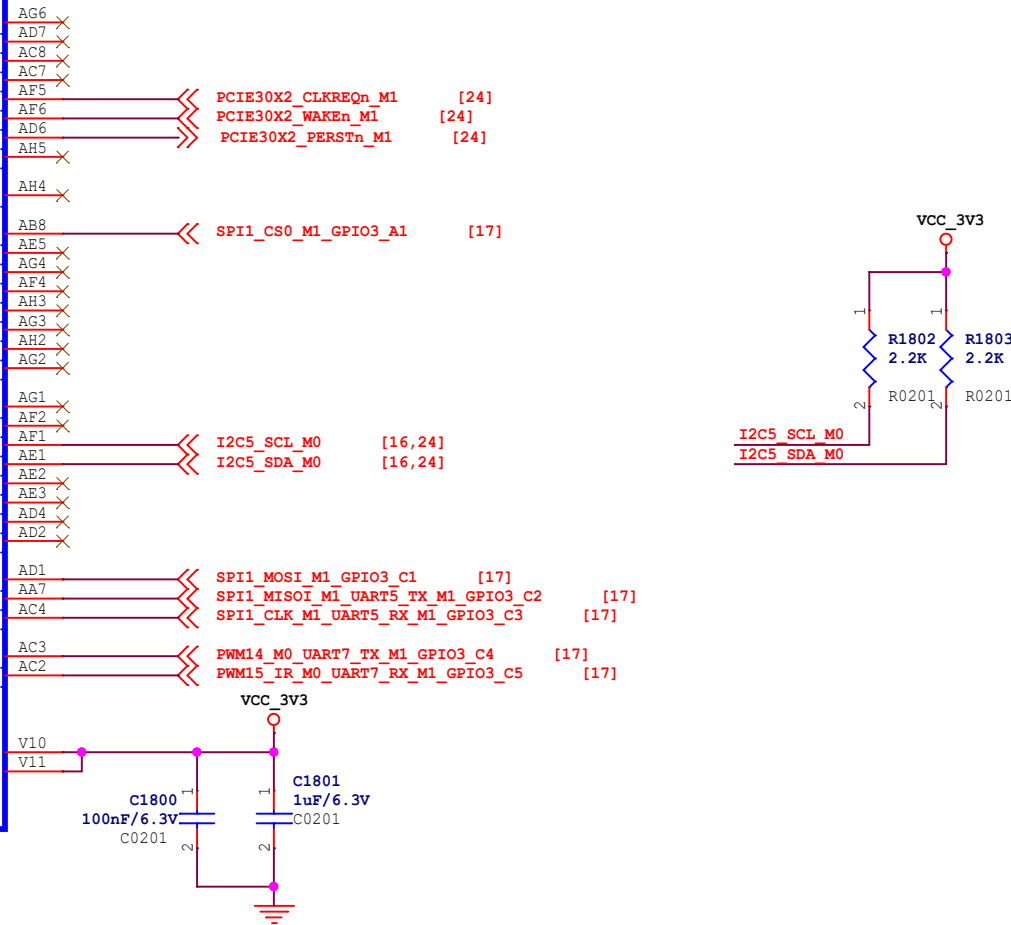
# RK3568\_L (VCCIO5 Domain)

## VCCIO5 Domain

Operating Voltage=1.8V/3.3V

LCDC D0	/ VOP BT656 D0 M0	/ SPI0 MISO M1	/ PCIE20 CLKREOn M1	/ I2S1 MCLK M2	/ GPIO2 D0 d
LCDC D1	/ VOP BT656 D1 M0	/ SPI0 MOSI M1	/ PCIE20 WAKEn M1	/ I2S1 SCLK TX M2	/ GPIO2 D1 d
LCDC D2	/ VOP BT656 D2 M0	/ SPI0 CS0 M1	/ PCIE30X1 CLKREOn M1	/ I2S1 LRCK TX M2	/ GPIO2 D2 d
LCDC D3	/ VOP BT656 D3 M0	/ SPI0 CLK M1	/ PCIE30X1 WAKEn M1	/ I2S1 SDIO M2	/ GPIO2 D3 d
LCDC D4	/ VOP BT656 D4 M0	/ SPI2 CS1 M1	/ PCIE30X2 CLKREOn M1	/ I2S1 SDI1 M2	/ GPIO2 D4 d
LCDC D5	/ VOP BT656 D5 M0	/ SPI2 CS0 M1	/ PCIE30X2 WAKEn M1	/ I2S1 SDI2 M2	/ GPIO2 D5 d
LCDC D6	/ VOP BT656 D6 M0	/ SPI2 MOSI M1	/ PCIE30X2 PERStn M1	/ I2S1 SDI3 M2	/ GPIO2 D6 d
LCDC D7	/ VOP BT656 D7 M0	/ SPI2 MISO M1	/ UART8 TX M1	/ I2S1 SDO0 M2	/ GPIO2 D7 d
LCDC CLK	/ VOP BT656 CLK M0	/ SPI2 CLK M1	/ UART8 RX M1	/ I2S1 SDO1 M2	/ GPIO3 A0 d
LCDC D8	/ VOP BT1120 D0	/ SPI1 CS0 M1	/ PCIE30X1 PERStn M1	/ SDMMC2 D0 M1	/ GPIO3 A1 d
LCDC D9	/ VOP BT1120 D1	/ GMAC1 TXD2 M0	/ I2S3 MCLK M0	/ SDMMC2 D1 M1	/ GPIO3 A2 d
LCDC D10	/ VOP BT1120 D2	/ GMAC1 TXD3 M0	/ I2S3 SCLK M0	/ SDMMC2 D2 M1	/ GPIO3 A3 d
LCDC D11	/ VOP BT1120 D3	/ GMAC1 RXD2 M0	/ I2S3 LRCK M0	/ SDMMC2 D3 M1	/ GPIO3 A4 d
LCDC D12	/ VOP BT1120 D4	/ GMAC1 RXD3 M0	/ I2S3 SDO M0	/ SDMMC2 CMD M1	/ GPIO3 A5 d
LCDC D13	/ VOP BT1120 CLK	/ GMAC1 TXCLK M0	/ I2S3 SDI M0	/ SDMMC2 CLK M1	/ GPIO3 A6 d
LCDC D14	/ VOP BT1120 D5	/ GMAC1 RXCLK M0	/ SDMMC2 DET M1	/ GPIO3 A7 d	
LCDC D15	/ VOP BT1120 D6	/ ETH1 REFCLK0 25M M0	/ SDMMC2 PWREN M1	/ GPIO3 B0 d	
LCDC D16	/ VOP BT1120 D7	/ GMAC1 RXD0 M0	/ UART4 RX M1	/ PWM8 M0	/ GPIO3 B1 d
LCDC D17	/ VOP BT1120 D8	/ GMAC1 RXD1 M0	/ UART4 TX M1	/ PWM9 M0	/ GPIO3 B2 d
LCDC D18	/ VOP BT1120 D9	/ GMAC1 RXDV CRS M0	/ I2C5 SCL M0	/ PDM SDI0 M2	/ GPIO3 B3 d
LCDC D19	/ VOP BT1120 D10	/ GMAC1 RXER M0	/ I2C5 SDA M0	/ PDM SDI1 M2	/ GPIO3 B4 d
LCDC D20	/ VOP BT1120 D11	/ GMAC1 TXD0 M0	/ I2C3 SCL M1	/ PWM10 M0	/ GPIO3 B5 d
LCDC D21	/ VOP BT1120 D12	/ GMAC1 TXD1 M0	/ I2C3 SDA M1	/ PWM11 IR M0	/ GPIO3 B6 d
LCDC D22	/ PWM12 M0	/ GMAC1 TXEN M0	/ UART3 TX M1	/ PDM SDI2 M2	/ GPIO3 B7 d
LCDC D23	/ PWM13 M0	/ GMAC1 MCLKINOUT M0	/ UART3 RX M1	/ PDM SDI3 M2	/ GPIO3 C0 d
LCDC HSYNC	/ VOP BT1120 D13	/ SPI1 MOSI M1	/ PCIE20 PERStn M1	/ I2S1 SDO2 M2	/ GPIO3 C1 d
LCDC VSYNC	/ VOP BT1120 D14	/ SPI1 MISO M1	/ UART5 TX M1	/ I2S1 SDO3 M2	/ GPIO3 C2 d
LCDC DEN	/ VOP BT1120 D15	/ SPI1 CLK M1	/ UART5 RX M1	/ I2S1 SCLK RX M2	/ GPIO3 C3 d
PWM14 M0	/ VOP PWM M1	/ GMAC1 MDC M0	/ UART7 TX M1	/ PDM CLK1 M2	/ GPIO3 C4 d
PWM15 IR M0	/ SPDIF TX M1	/ GMAC1 MDIO M0	/ UART7 RX M1	/ I2S1 LRCK RX M2	/ GPIO3 C5 d

VCCIO5\_1  
VCCIO5\_2



U1000L  
RK3568

### Note:

Caps of between dashed green lines and U1000 should be placed under the U1000 package



<https://www.friendlyelec.com/>  
<https://wiki.friendlyelec.com/>

NanoPi R5S		Rev 2204
Size A4	Page Name 12.RK3568_VO Interface_2	
Date Thursday, May 05, 2022	Sheet 12/ 25	

# RK3568\_H (VCCIO1 Domain)

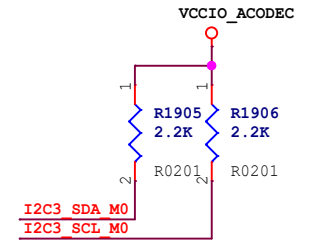
## VCCIO1 Domain

Operating Voltage=1.8V/3.3V

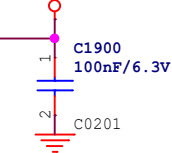
I2C3 SDA M0	/ UART3 RX M0	/ CAN1 RX M0	/ AUDIOPWM LOUT P	/ ACODEC ADC DATA	/ GPIO1 A0 u	D18	I2C3 SDA M0
I2C3 SCL M0	/ UART3 TX M0	/ CAN1 TX M0	/ AUDIOPWM LOUT N	/ ACODEC ADC CLK	/ GPIO1 A1 u	E18	I2C3 SCL M0
I2S1 MCLK M0	/ UART3 RTSn M0	/ SCR CLK	/ PCIE30X1 PERSTn M2		/ GPIO1 A2 d	A19	X
I2S1 SCLK TX M0	/ UART3 CTSn M0	/ SCR IO	/ PCIE30X1 WAKEn M2	/ ACODEC DAC CLK	/ GPIO1 A3 d	B19	X
I2S1 SCLK RX M0	/ UART4 RX M0	/ PDM CLK1 M0	/ SPDIF TX M0		/ GPIO1 A4 d	F18	X
I2S1 LRCK TX M0	/ UART4 RTSn M0	/ SCR RST	/ PCIE30X1 CLKREOn M2	/ ACODEC DAC SYNC	/ GPIO1 A5 d	A20	X
I2S1 LRCK RX M0	/ UART4 TX M0	/ PDM CLK0 M0	/ AUDIOPWM ROUT P		/ GPIO1 A6 d	C20	X
I2S1 SDO0 M0	/ UART4 CTSn M0	/ SCR DET	/ AUDIOPWM ROUT N	/ ACODEC DAC DATAL	/ GPIO1 A7 d	B20	X
I2S1 SDO1 M0	/ I2S1 SDI3 M0	/ PDM SDI3 M0	/ PCIE20 CLKREOn M2	/ ACODEC DAC DATAR	/ GPIO1 B0 d	D20	X
I2S1 SDO2 M0	/ I2S1 SDI2 M0	/ PDM SDI2 M0	/ PCIE20 WAKEn M2	/ ACODEC ADC SYNC	/ GPIO1 B1 d	E20	X
I2S1 SDO3 M0	/ I2S1 SDI1 M0	/ PDM SDI1 M0	/ PCIE20 PERSTn M2		/ GPIO1 B2 d	A21	X
	/ I2S1 SDI0 M0	/ PDM SDI0 M0			/ GPIO1 B3 d	B21	X

U1000H  
RK3568

VCCIO1



VCCIO\_ACODEC



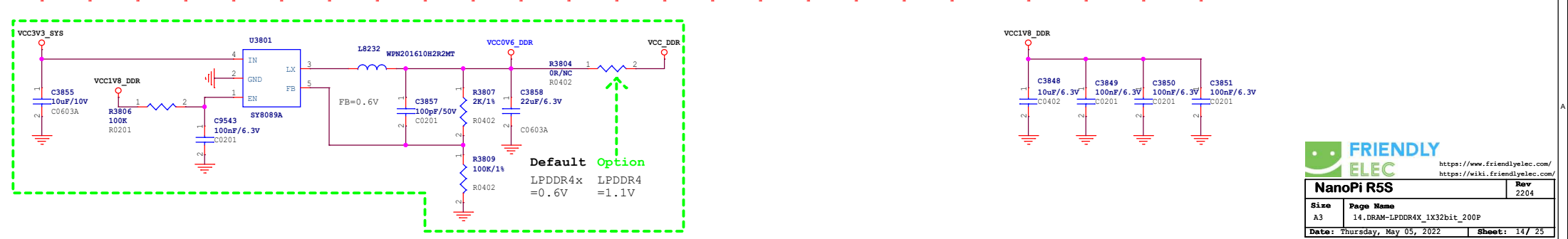
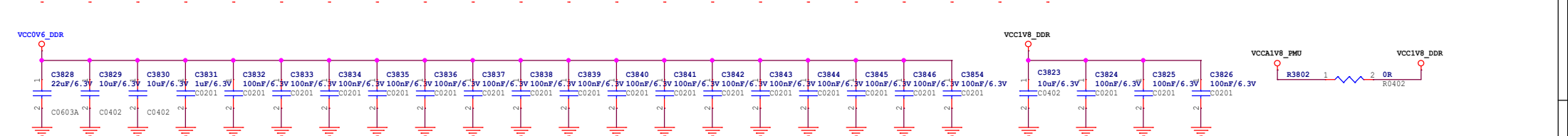
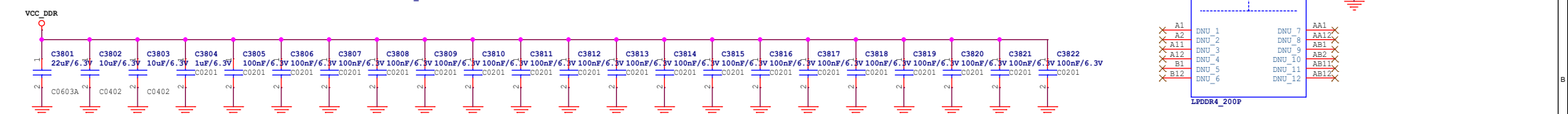
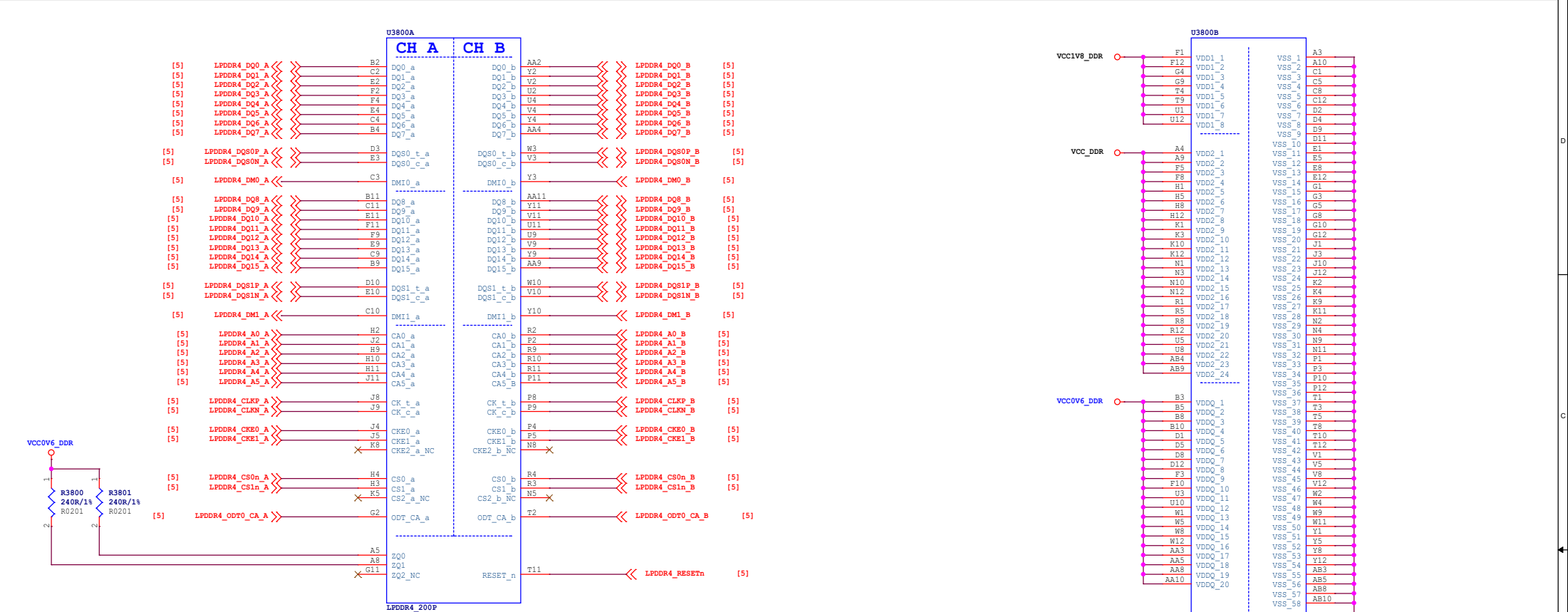
### Note:

Caps of between dashed green lines and U1000 should be placed under the U1000 package



<https://www.friendlyelec.com/>  
<https://wiki.friendlyelec.com/>

<b>NanoPi R5S</b>		<b>Rev</b> 2204
<b>Size</b> A4	<b>Page Name</b> 13.RK3568 Audio Interface	
<b>Date:</b> Thursday, May 05, 2022		<b>Sheet:</b> 13 / 25

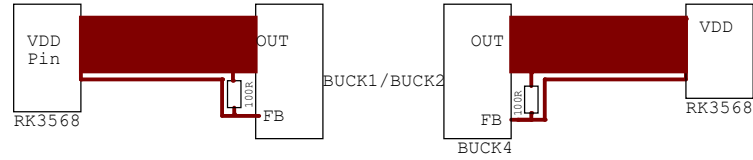
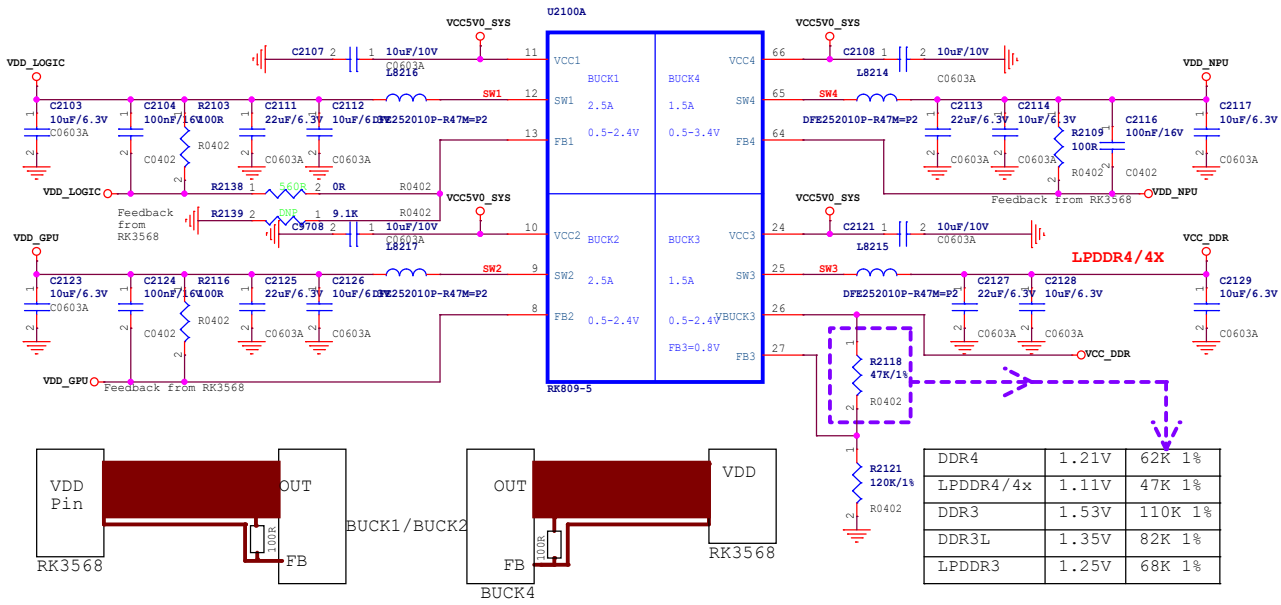


**FRIENDLY ELEC**  
<https://www.friendlyelec.com/>  
<https://wiki.friendlyelec.com/>

**NanoPi R5S**

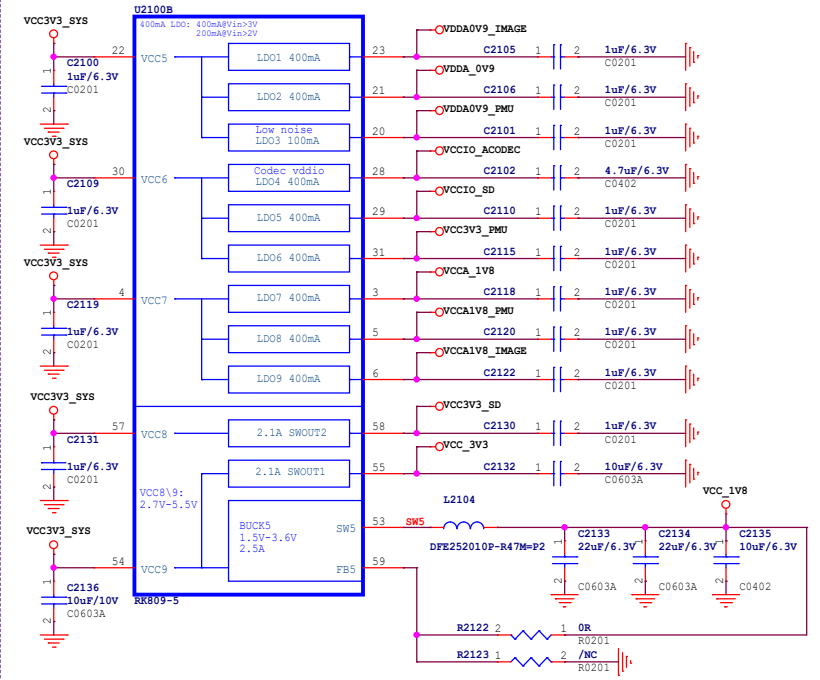
Size	Page Name	Rev
A3	14.DRAM-LPDDR4X_1X32bit_200P	2204
Date	Thursday, May 05, 2022	Sheet: 14 / 25

# PMIC RK809 DCDC

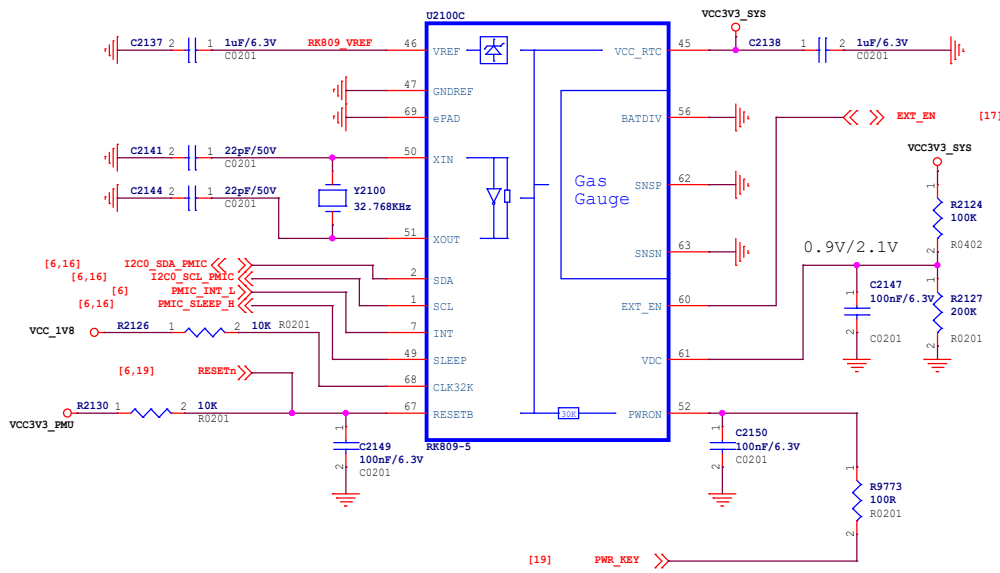


DDR4	1.21V	62K	1%
LPDDR4/4x	1.11V	47K	1%
DDR3	1.53V	110K	1%
DDR3L	1.35V	82K	1%
LPDDR3	1.25V	68K	1%

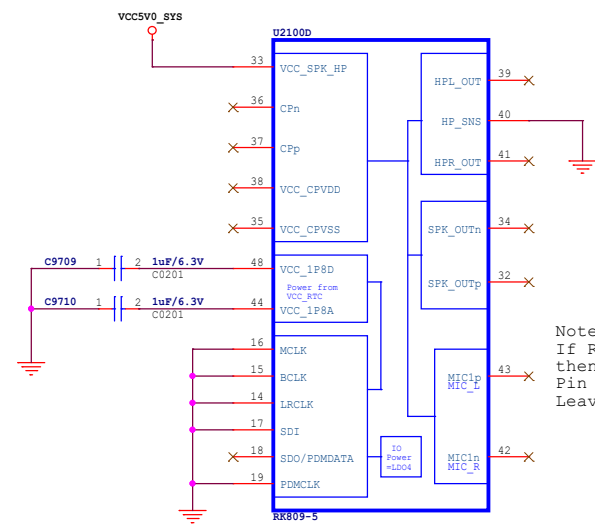
# PMIC RK809 LDO



# PMIC RK809 Management

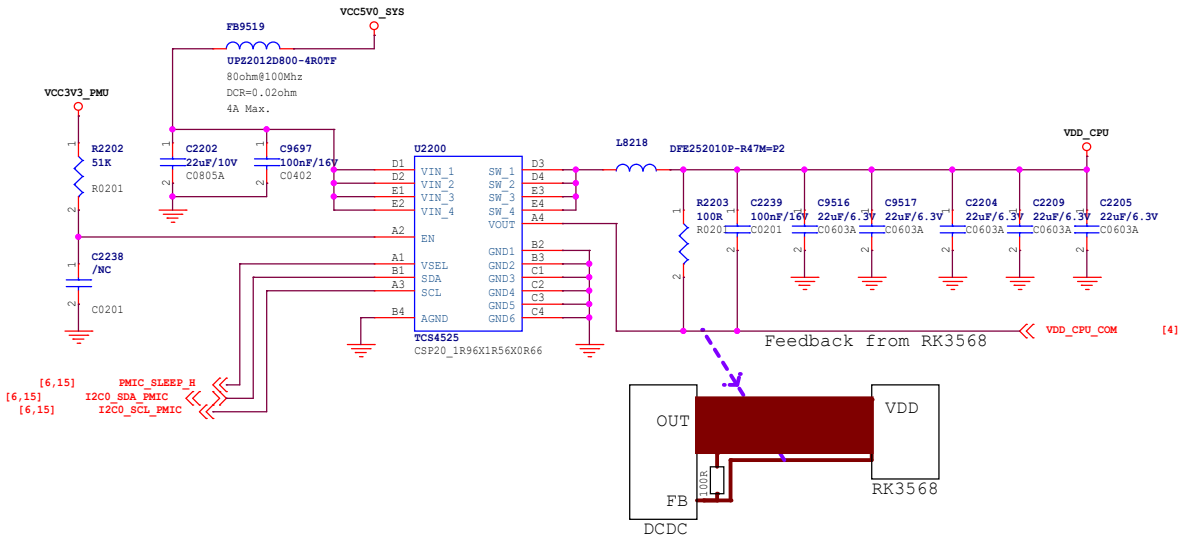


# PMIC RK809 CODEC

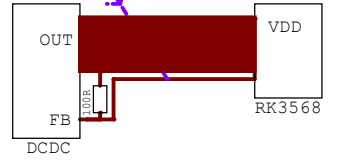


Note:  
If RK809-5 codec is not used,  
then Pin 14,15,16,17,19,40 Tie VSS  
Pin 18,36,37,38,35,39,41,34,32,43,42  
Leave floating

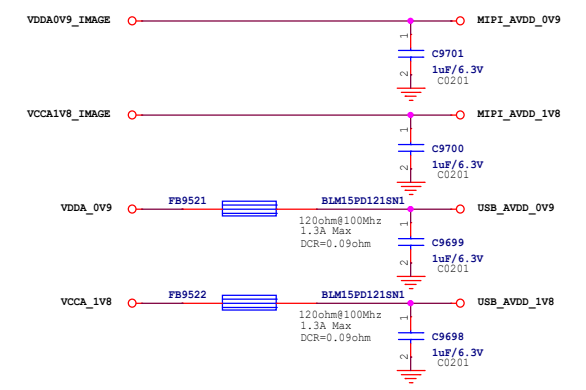
# VDD\_CPU



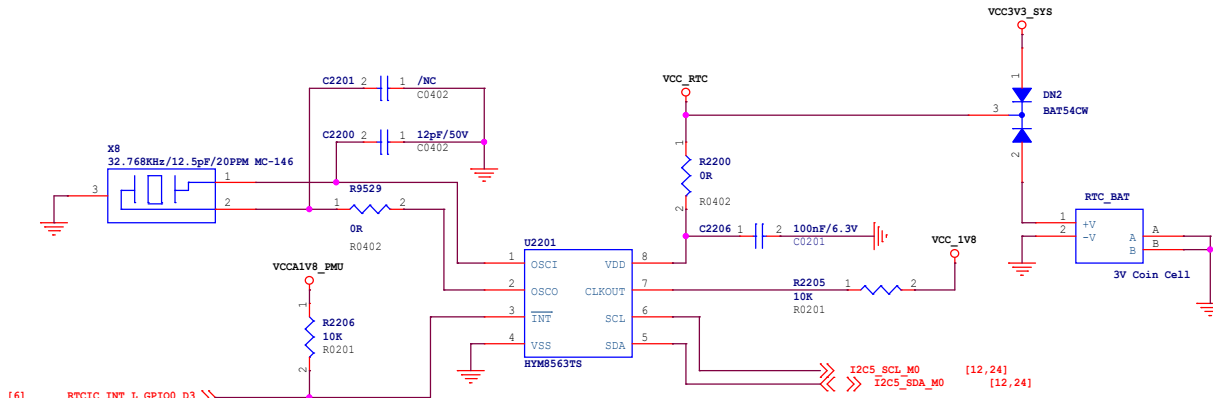
[6,15] PMIC\_SLEEP\_H  
 [6,15] I2C0\_SDA\_PMIC  
 [6,15] I2C0\_SCL\_PMIC



# VDD\_USB,VDD\_MIPI

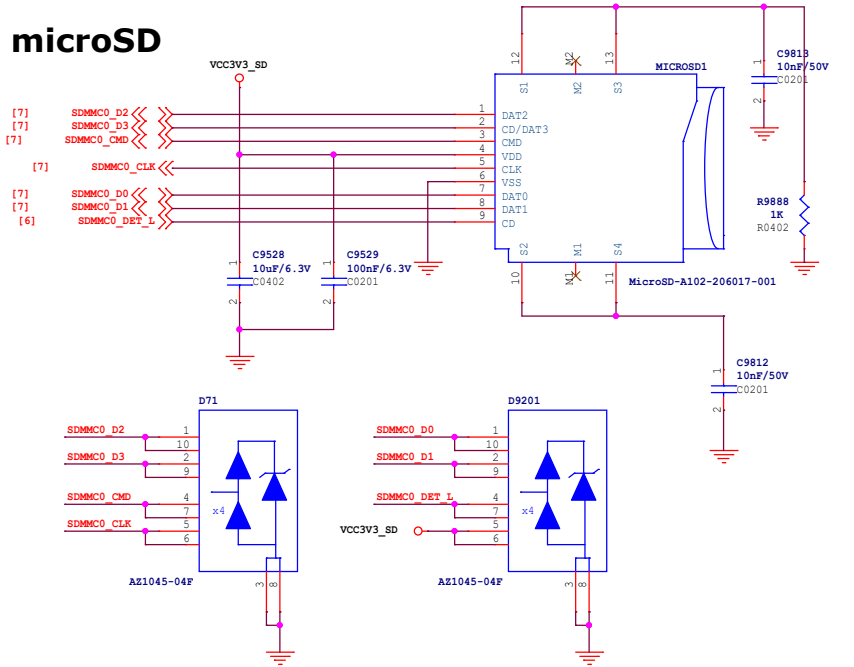


# RTC



Address:Read A3H, Write A2H  
 7bit address: 0x51

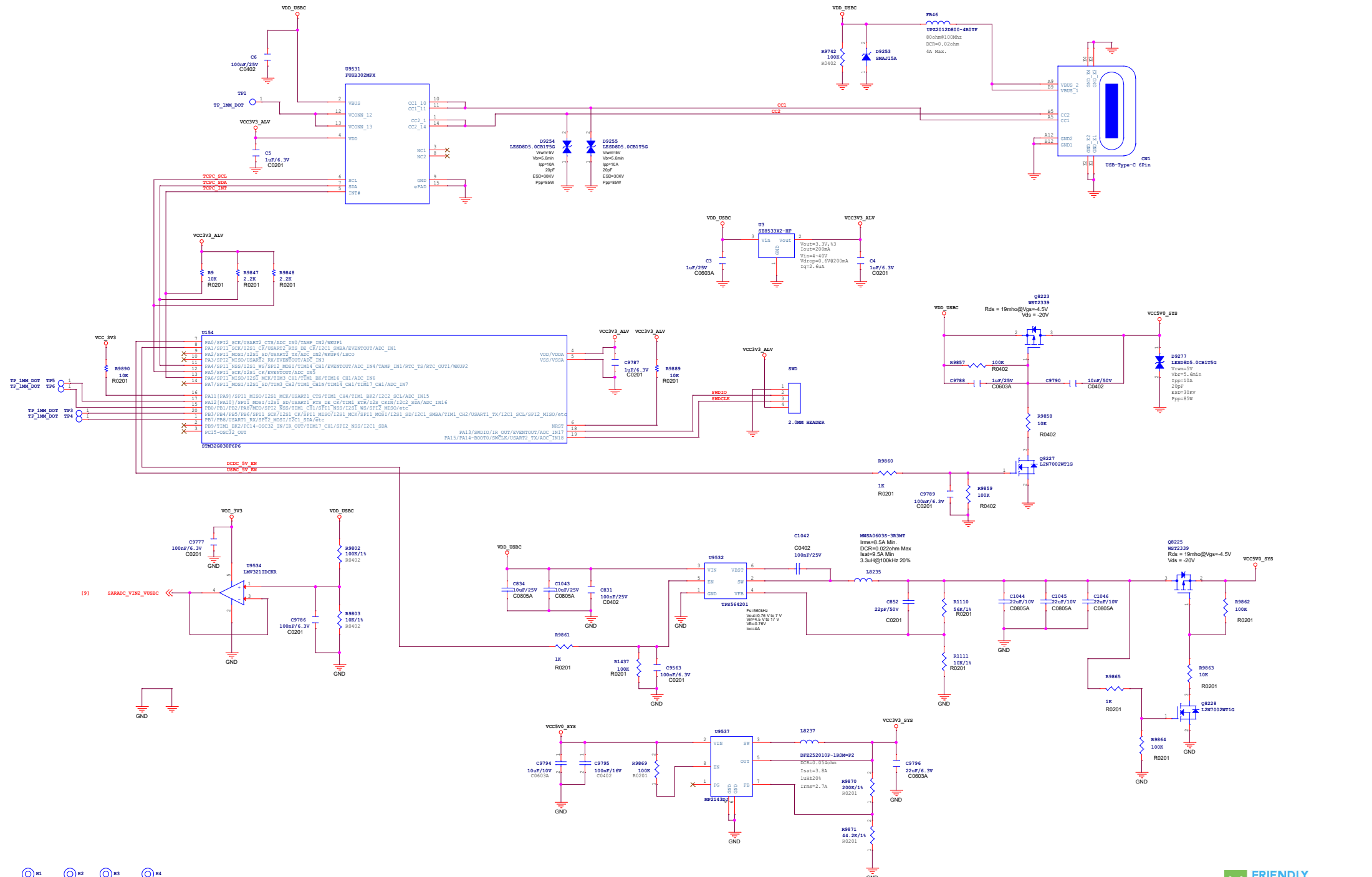
# microSD



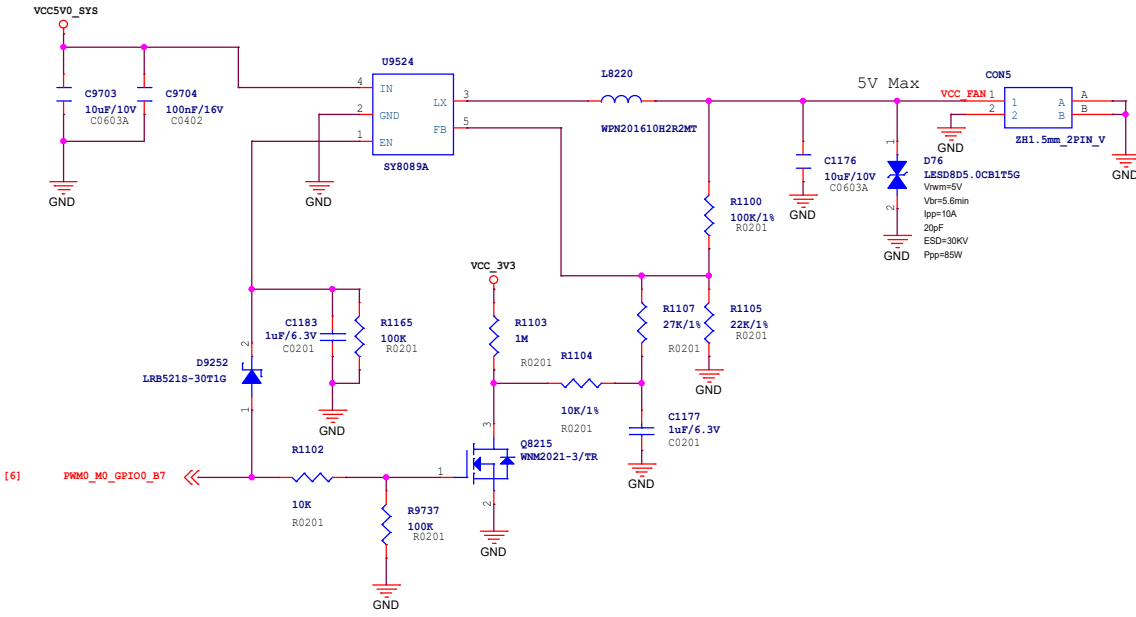




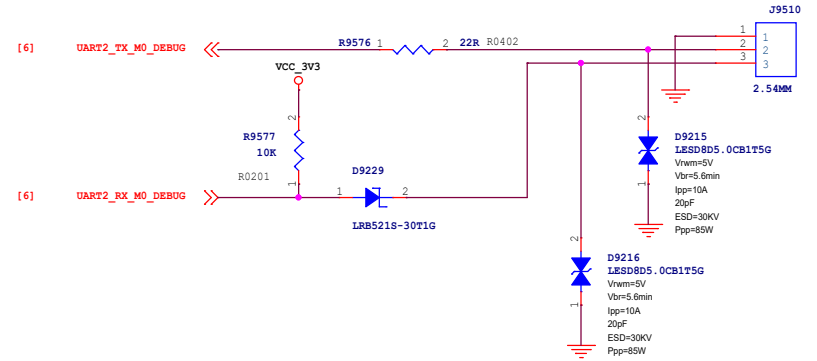
# USB PD



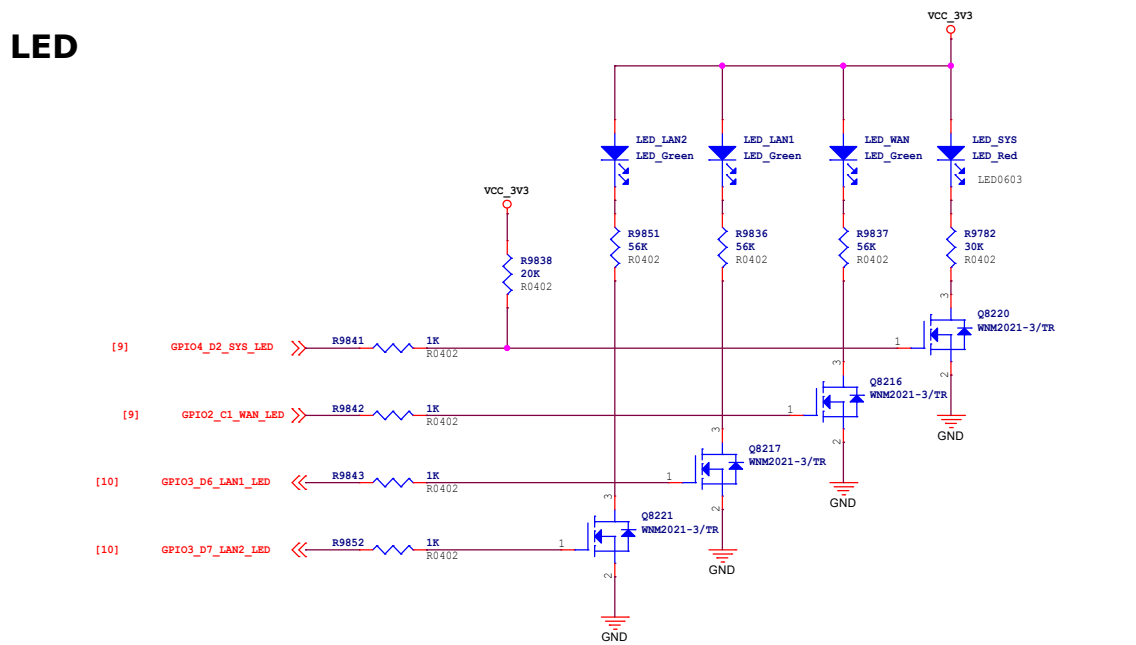
# Cooling Fan



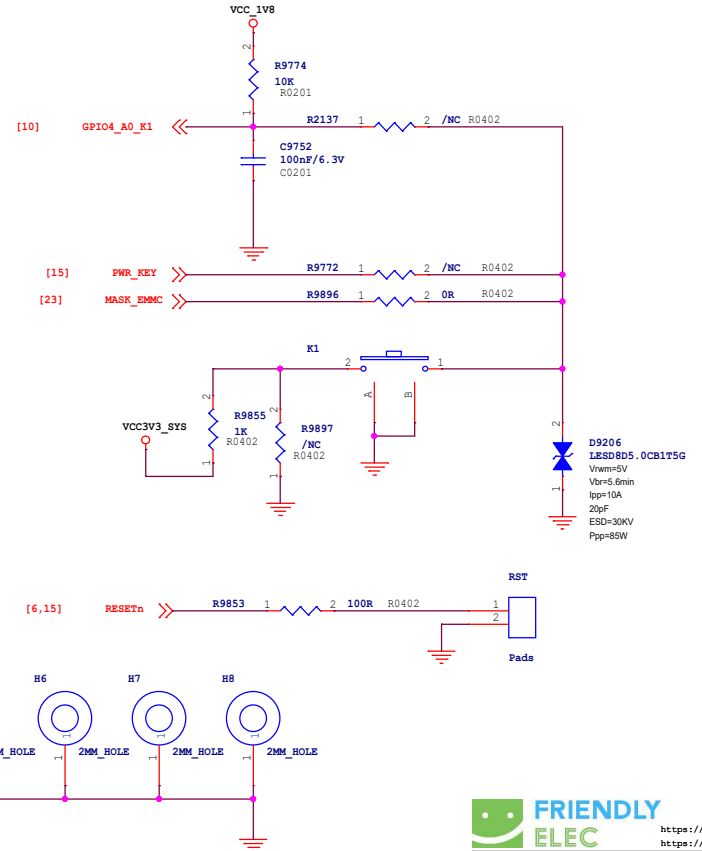
# Debug UART



# LED

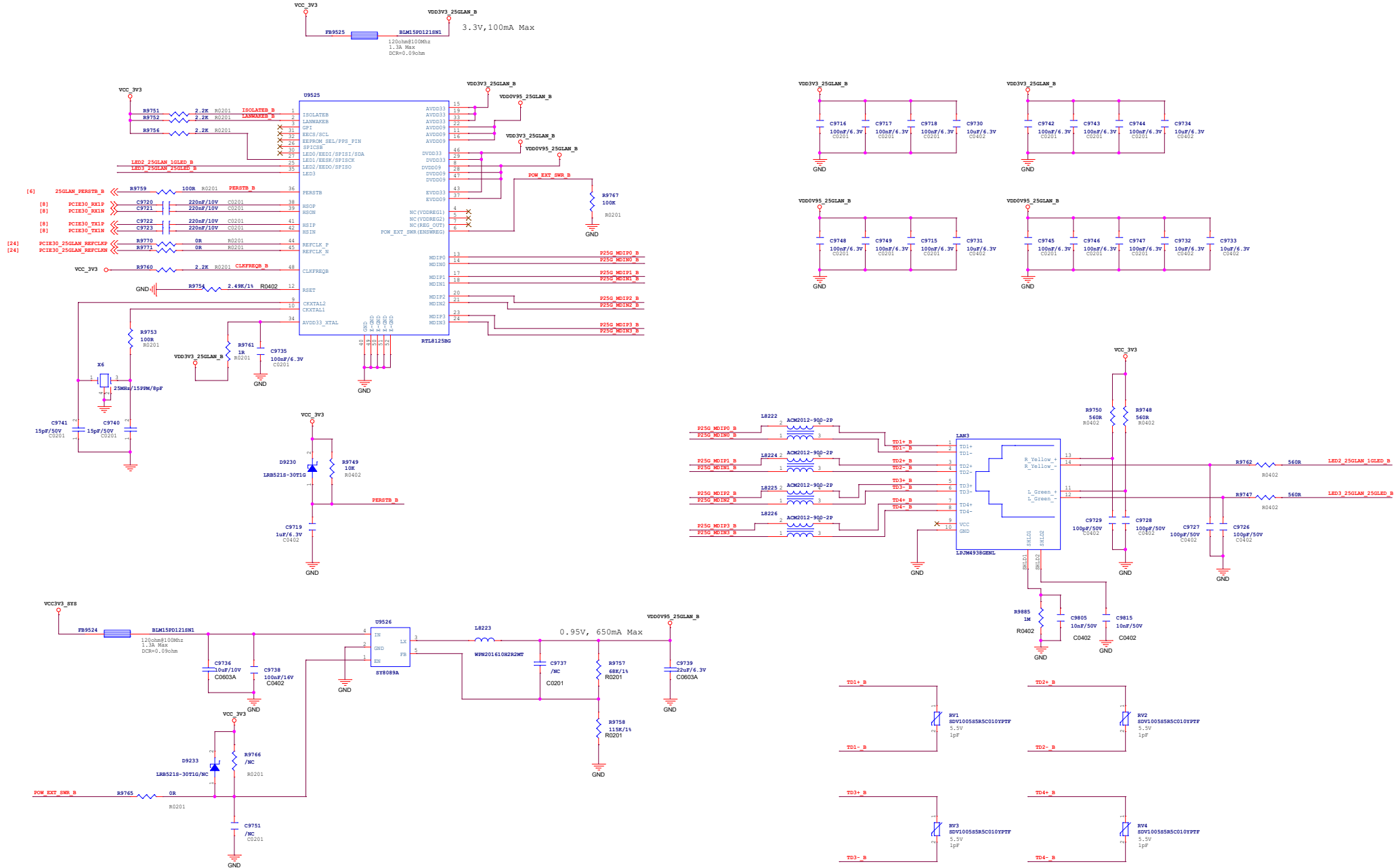


# Button

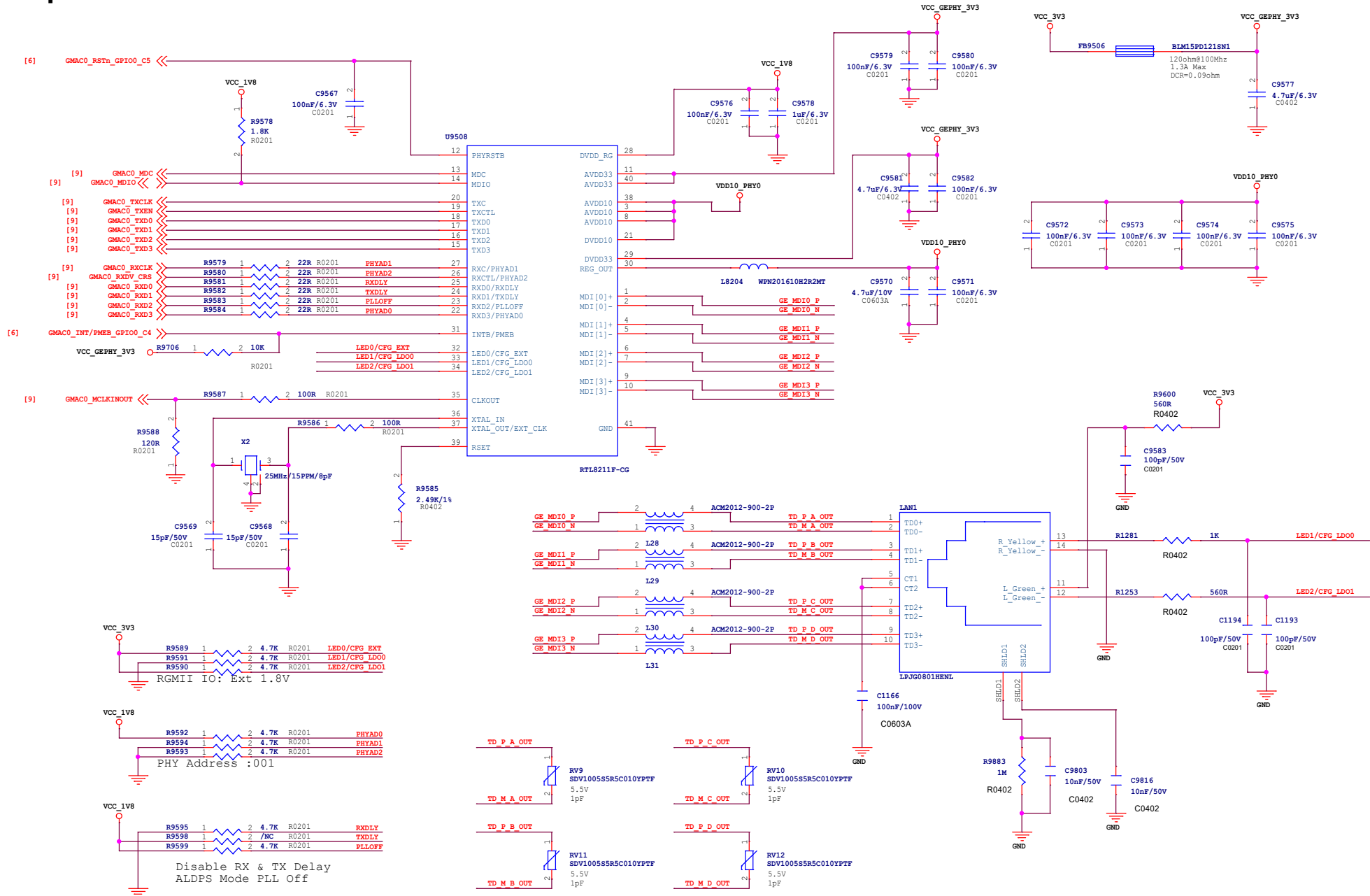




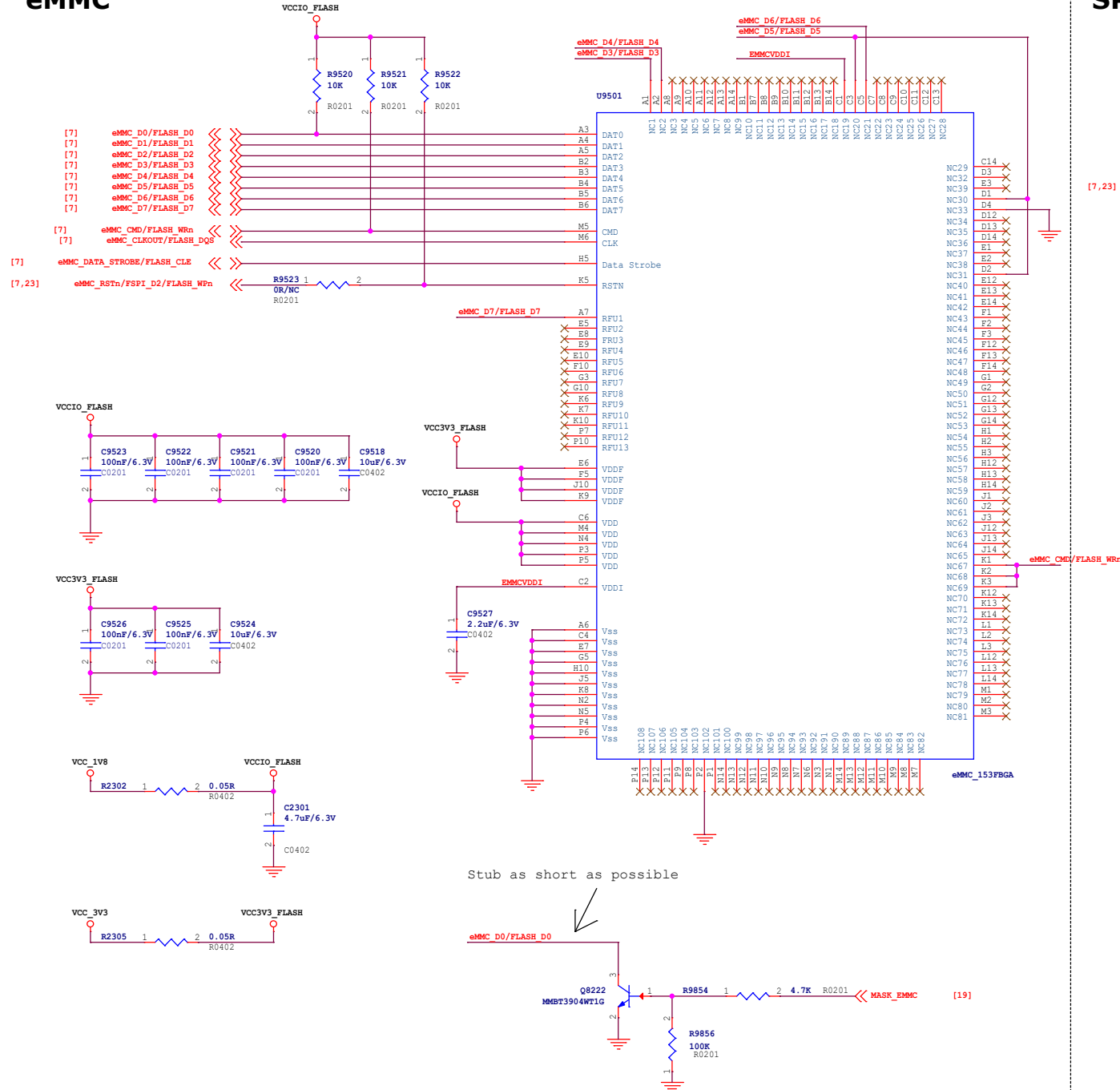
# 2.5Gbps Ethernet



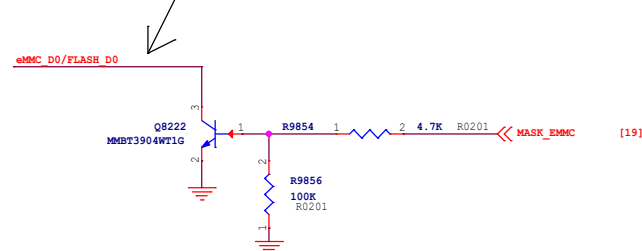
# 1Gbps Ethernet



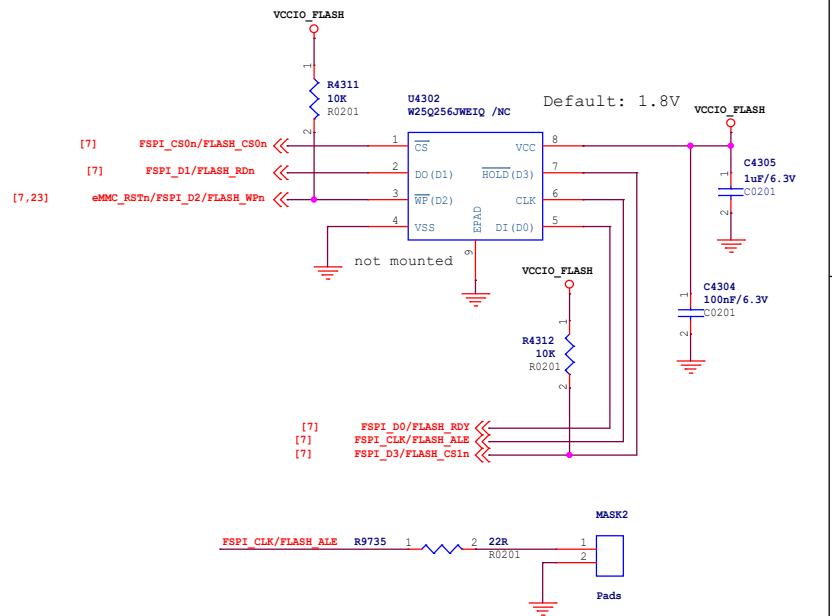
# eMMC



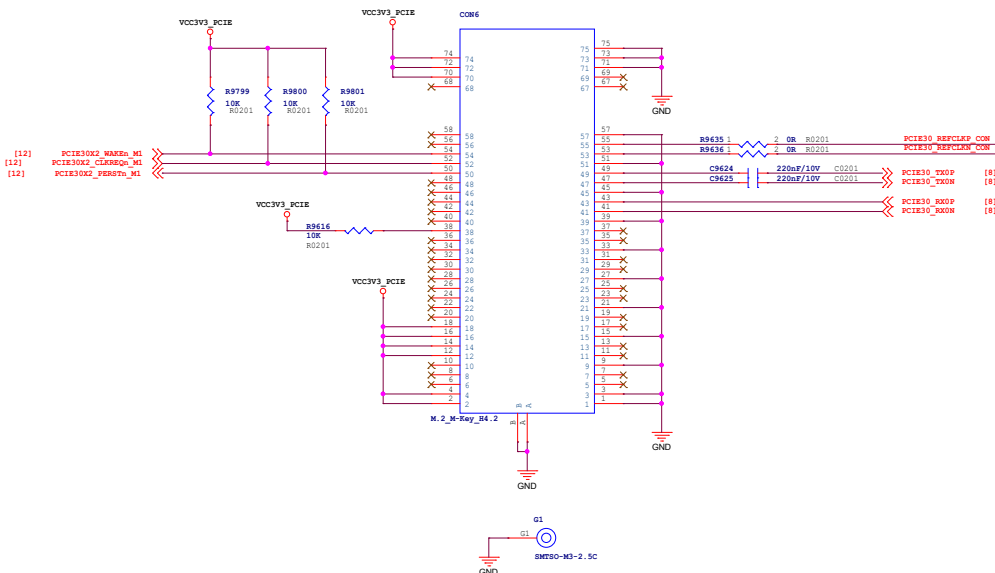
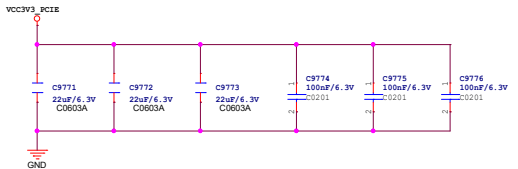
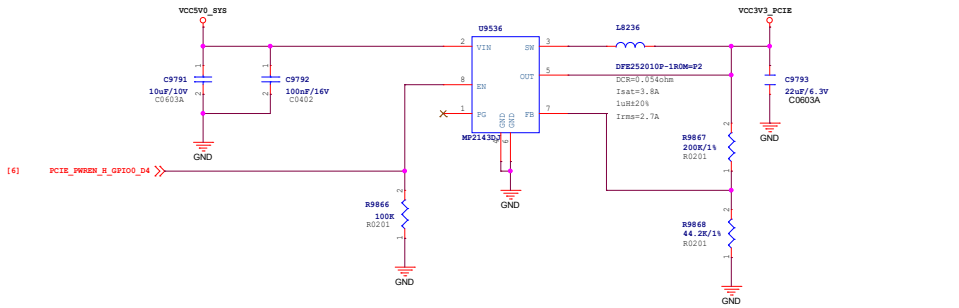
Stub as short as possible



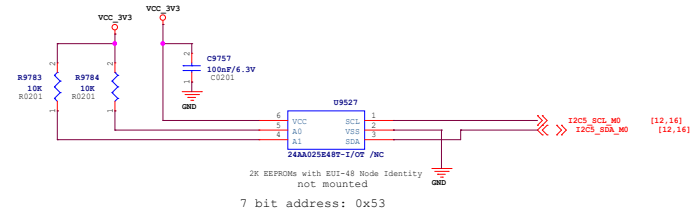
# SPI Flash



# M.2 NVME



# EUI-48 Node Identity



# PCIe REFCLK

